

Corresponding to
WO 89/03562 A1

⑩ 日本国特許庁(JP)

⑪ 特許出願公表

⑫ 公表特許公報(A)

平2-501791

⑬ 公表 平成2年(1990)6月14日

⑭ Int. Cl.⁵ 識別記号 庁内整理番号 審査請求 未請求
H 04 L 12/56 3 1 0 V 6745-5B 予備審査請求 未請求 部門(区分) 7(3)
G 06 F 15/16 7830-5K H 04 L 11/20 1 0 2 Z※
(全 31 頁)

⑮ 発明の名称 データ処理装置クラスターに使用するコンピュータ相互結合カブラ

⑯ 特 願 昭63-509137

⑰ 翻訳文提出日 平1(1989)6月16日

⑱ 出 願 昭63(1988)10月13日

⑲ 国際出願 PCT/US88/03570

⑳ 国際公開番号 WO89/03562

㉑ 国際公開日 平1(1989)4月20日

優先権主張 ㉒ 1987年10月16日 ㉓ 米国(US) ㉔ 110,513

⑳ 発 明 者 ケント アレン アール アメリカ合衆国 マサチューセッツ州 02174 アーリントン パーク アベニュー イクステンション 15

㉑ 発 明 者 リード ハロルド エイ アメリカ合衆国 マサチューセッツ州 01503 パーリン クロスビー ロード 32

㉒ 出 願 人 デジタル イクイブメント アメリカ合衆国 マサチューセッツ州 01754-1418 メイナードコーポレーション パウダー ミル ロード 111

㉓ 代 理 人 弁理士 中 村 総 外 7 名

㉔ 指 定 国 A T(広域特許), B E(広域特許), C H(広域特許), D E(広域特許), F R(広域特許), G B(広域特許), I T(広域特許), J P, L U(広域特許), N L(広域特許), S E(広域特許)

最終頁に続く

特許(内容に変更なし)

請 求 の 範 囲

1. それぞれが通信用ポートを有している多重データ処理装置間でメッセージの伝送を行うためのコンピュータ相互結合用カブラにおいて、

それぞれが前記データ処理装置のうちの一つの通信用ポートに接続され、接続された装置に対してメッセージの送受を行うための通信用チャネルを形成しており、前記チャネルそれぞれのための受け取り手段及び伝送手段を別個に備えている、複数の電子スイッチング手段と、

前記スイッチング手段のそれぞれに付設され、これらスイッチング手段の間でメッセージの伝送を行うための複数の接続部と、

ソース装置から前記スイッチング手段の一つに到達しているメッセージを、このメッセージが指定する目的地装置に接続されているスイッチング手段に伝送するように前記接続部の割り当てを行う、前記スイッチング手段の全てに接続されている中央スイッチ論理手段と、

前記接続部の割り当てが行われるのを待機している受け取りメッセージの先頭部分を一時的に記憶するためのファースト・イン・ファースト・アウト・バッファと

を有することを特徴とするコンピュータ相互結合用カブラ。

2. 請求の範囲第1項に記載のコンピュータ相互結合用カブラにおいて、指定された目的地装置の通信用チャネルがビジー状態のときには、前記受け取ったメッセージにおける記憶されている先頭部分を復元するための手段を有していることを特徴とするコンピュータ相互結合用カブラ。

3. それぞれが通信用ポートを有している多重データ処理装置間

でメッセージの伝送を行うためのコンピュータ相互結合用カブラにおいて、

それぞれが前記データ処理装置のうちの一つの通信用ポートに接続され、接続された装置に対してメッセージの送受を行うための通信用チャネルを形成しており、前記チャネルそれぞれのための受け取り手段及び伝送手段を別個に備えている、複数の電子スイッチング手段と、

前記スイッチング手段のそれぞれに付設され、前記スイッチング手段の間でメッセージの伝送を行うための複数の接続部と、

ソース装置から前記スイッチング手段の一つに到達しているメッセージを、このメッセージが指定する目的地装置に接続されているスイッチング手段に伝送するように前記接続部の割り当てを行う、前記スイッチング手段の全てに接続されている中央スイッチ論理手段と、

前記中央スイッチ論理手段に接続されており、指定された通信用チャネル上に受け取られたメッセージ用の一連の有効な目的地を記憶するための手段と、

前記指定チャネルから受け取ったメッセージによって実際に指定されている目的地を前記有効目的地アドレスと比較して、前記一連の有効目的地には含まれていない目的地を指定するメッセージを送送するための接続割り当てを禁止するための手段と

を有することを特徴とするコンピュータ相互結合用カブラ。

4. それぞれが通信用ポートを有している多重データ処理装置間でメッセージの伝送を行うためのコンピュータ相互結合用カブラにおいて、

それぞれが前記データ処理装置のうちの一つの通信用ポート

に接続され、接続された装置に対してメッセージの送受を行うための通信用チャネルを形成しており、前記チャネルそれぞれのための受け取り手段及び伝送手段を別個に備えている、複数の電子スイッチング手段と、

前記スイッチング手段のそれぞれに付設され、前記スイッチング手段の間でメッセージの伝送を行うための複数の接続部と、ソース装置から前記スイッチング手段の一つに到達しているメッセージを、このメッセージが指定する目的地装置に接続されているスイッチング手段に伝送するように前記接続部の割り当を行う、前記スイッチング手段の全てに接続されている中央スイッチ論理手段と、

通信用チャネルがビジーとなっている共通の目的地装置を指定するメッセージ用のメッセージ情報キューイング処理するためのファースト・イン・ファースト・アウト・キュー、および前記ビジー状態であった通信用チャネルがビジー状態ではなくなった時に、前記キューから最も古いメッセージ情報を検索するための手段と

を有することを特徴とするコンピュータ相互結合用カブラ。

5. 請求の範囲第4項に記載のコンピュータ相互結合用カブラにおいて、前記メッセージ情報のキューイング処理に際して、メッセージ発生元のチャネル用の伝送手段を駆動して、このチャネルのデータ処理装置へフロー制御信号を送って、この装置からメッセージが再伝送されることを禁止するための手段を有することを特徴とするコンピュータ相互結合用カブラ。
6. 請求の範囲第5項に記載のコンピュータ相互結合用カブラにおいて、行列化されたメッセージ情報の目的地用の通信用チャネルがビジー状態ではないときに、この行列化されたメッセー

ジがデータ処理装置からのものであることを確認するための手段を有していることを特徴とするコンピュータ相互結合用カブラ。

11. 請求の範囲第1項に記載のコンピュータ相互結合用カブラにおいて、前記伝送手段は、各メッセージ内の目的アドレス・データに際して、メッセージが、このメッセージを目標とするチャネルに接続されているデータ処理装置へ伝送する前に、その目標とするチャネルに到達していることを確認するための手段を備えていることを特徴とするコンピュータ相互結合用カブラ。
12. それぞれが通信用ポートを有している多重データ処理装置間でメッセージの伝送を行うためのコンピュータ相互結合用カブラにおいて、

それぞれが前記データ処理装置のうちの一つの通信用ポートに接続され、接続された装置に対してメッセージの送受を行うための通信用チャネルを形成しており、前記チャネルそれぞれのための受け取り手段および伝送手段を別個に備えている、複数の電子スイッチング手段と、

前記スイッチング手段間でメッセージの伝送を行うために、前記スイッチ手段のそれぞれに付設された複数の接続部と、

ソース装置から前記スイッチング手段の一つに到達しているメッセージを、このメッセージが指定する目的地装置に接続されているスイッチング手段に伝送するように前記接続部の割り当を行う、前記スイッチング手段の全てに接続されている中央スイッチ論理手段と、

それぞれがそれぞれの状態を示すステータス・コードを発生する手段を備えている多重回路基板と、

ジ情報がキューの先端に現れた時に、前記フロー制御信号によって禁止されたデータ処理装置からのメッセージの再伝送を可能にするための手段を有していることを特徴とするコンピュータ相互結合用カブラ。

7. 請求の範囲第6項に記載のコンピュータ相互結合用カブラにおいて、前記メッセージを再伝送するためにこのメッセージ発生元の装置への信号発生に引続く予め設定した時間間隔の終了時に前記キューからのメッセージ情報を除去するためのキュー・タイマを有することを特徴とするコンピュータ相互結合用カブラ。
8. 請求の範囲第5項に記載のコンピュータ相互結合用カブラにおいて、前記伝送手段は、前記フロー制御信号内にメッセージを挿入して、このフロー制御信号を受け取ったデータ処理装置が、この装置から出力されるメッセージの再伝送が禁止されている間に、メッセージを受け取ることができるようにする手段を備えていることを特徴とするコンピュータ相互結合用カブラ。
9. 請求の範囲第5項に記載のコンピュータ相互結合用カブラにおいて、前記中央スイッチ論理手段は、メッセージ情報が前記キューの先端に出現することに際して、前記メッセージの発生元のデータ処理装置へのフロー制御信号の伝送を終了させるための手段を備えていることを特徴とするコンピュータ相互結合用カブラ。
10. 請求の範囲第1項に記載のコンピュータ相互結合用カブラにおいて、前記受け取り手段は、各メッセージ内のソース・アドレス・データに際して、メッセージの発生が、このメッセージを伝送するために接続部を介してを行う前記中央スイッチ論理手段を駆動するために、前記受け取り手段に接続されたと規定

多重回路基板位置をポーリングし、存在する多重基板からのステータス・コードを読み取るための手段を備えている診断プロセスと

を有することを特徴とするコンピュータ相互結合用カブラ。

13. それぞれが通信用ポートを有している多重データ処理装置間でメッセージの伝送を行うためのコンピュータ相互結合用カブラにおいて、

それぞれが前記データ処理装置のうちの一つの通信用ポートに接続され、接続された装置に対してメッセージの送受を行うための通信用チャネルを形成しており、前記チャネルそれぞれのための受け取り手段および伝送手段を別個に備えている、複数の電子スイッチング手段と、

前記スイッチング手段間でメッセージの伝送を行うために、前記スイッチ手段のそれぞれに付設された複数の接続部と、

ソース装置から前記スイッチング手段の一つに到達しているメッセージを、このメッセージが指定する目的地装置に接続されているスイッチング手段に伝送するように前記接続部の割り当を行う、前記スイッチング手段の全てに接続されている中央スイッチ論理手段とを有し、前記スイッチング手段および前記中央スイッチ論理手段は、診断情報を受取るための不揮発性メモリ手段を備えた回路基板を有しており、

さらに、欠陥回路基板を修理のために取り外す前に、この欠陥回路基板上の前記メモリ手段に診断情報を書き込むための診断プロセスを有していることを特徴とするコンピュータ相互結合用カブラ。

14. それぞれが通信用ポートを有している多重データ処理装置間でメッセージの伝送を行う方法において、

メッセージの目標とする目的地を特定するアドレス・データを含むメッセージを、各データ処理装置のポートからそれぞれの通信用チャネルを介して、このデータ処理装置用の受け取り手段および伝送手段を備えた各電子スイッチング手段へ伝送する工程と、

メッセージ内で特定される目的地のデータ処理装置用の電子スイッチング手段の伝送手段に対する、受け取り手段に到達した各メッセージの伝送用接続部を選択する工程と、

選択された接続部を、メッセージ発生元の装置のスイッチング手段および目的地装置に接続する工程と、

各メッセージを、メッセージ発生元の装置のスイッチング手段から選択した接続部を介して、目的地装置用の伝送手段へ伝送し、さらにこの目的地装置に伝送する工程と、

接続部の選択が済むのを待機している受け取り手段に到達しているメッセージの先頭部分を一時的に記憶する工程とからなる多重データ処理装置間のメッセージ伝送方法、

15. 請求の範囲第14項に記載の方法において、通信用チャネルがビジーとなっている目的地装置を指定するメッセージのメッセージ情報を一時的に記憶する工程を含むことを特徴とするメッセージ伝送方法、

16. 請求の範囲第14項に記載の方法において、指定された装置から受け取ったメッセージの一連の有効目的地を記憶し、前記指定装置から受け取ったメッセージ内で実際に特定された目的地を、前記有効アドレスと比較して、前記一連の有効目的地内に含まれていないメッセージの伝送用接続部の選択を禁止する工程を含むことを特徴とするメッセージ伝送方法、

17. 請求の範囲第14項に記載の方法において、通信用チャネル

メッセージ情報元であるデータ処理装置に対する前記フロー制御信号の伝送を、このメッセージ情報がキューの先頭に達した時に停止する工程を含むことを特徴とするメッセージ伝送方法、

23. 請求の範囲第14項に記載の方法において、受け取り手段に到達するメッセージが、このメッセージの伝送のための接続部が選択される前にこの受け取り手段に接続されたと指定されるデータ処理装置からのものであることを確認する工程を含むことを特徴とするメッセージ伝送方法、

24. 請求の範囲第14項に記載の方法において、メッセージが目標とする目的地用の伝送手段に到達したことを、このメッセージがこの伝送手段に接続されたデータ処理装置に伝送される前に確認する工程を含むことを特徴とするメッセージ伝送方法、

25. それぞれが通信用ポートを有している多重データ処理装置間でメッセージの伝送を行う方法において、

目標とするメッセージの目的地を特定するアドレス・データを含むメッセージを、各データ処理装置のポートからそれぞれの通信用チャネルを介して、このデータ処理装置の受け取り手段および伝送手段を備えた各電子スイッチング手段へ伝送する工程と、

メッセージ内で特定される目的地のデータ処理装置用の電子スイッチング手段の伝送手段に対する、受け取り手段に到達した各メッセージの伝送用接続部を選択する工程と、

選択された接続部を、メッセージ発生元の装置のスイッチング手段および目的地装置に接続する工程と、

各メッセージを、メッセージ発生元の装置のスイッチング手段から、選択した接続部を介して、目的地装置用の伝送手段へ伝送し、さらにこの目的地装置に伝送する工程と、

がビジーとなっている共通の目的地装置を指定するメッセージのメッセージ情報をキューイング処理し、前記ビジー状態の通信用チャネルがビジーでなくなったときには、前記キューから最も古いメッセージ情報を検索する工程を含むことを特徴とするメッセージ伝送方法、

18. 請求の範囲第17項に記載の方法において、フロー制御信号を、行列化されたメッセージ情報の発生元であるデータ処理装置へ送り、この装置からのメッセージの再伝送を禁止する工程を含むことを特徴とするメッセージ伝送方法、

19. 請求の範囲第18項に記載の方法において、行列化されたメッセージ情報用の目的地装置の通信用チャネルがビジーでなくなり、行列化されたメッセージ情報がキューの先頭部分に現れた時に、前記フロー制御信号によって禁止されていたデータ処理装置からのメッセージの再伝送を可能にする工程を含むことを特徴とするメッセージ伝送方法、

20. 請求の範囲第19項に記載の方法において、メッセージの再伝送を行わせるためにメッセージ発生元の装置への信号発生に引き続く予め設定した時間間隔の終了時に、前記キューからのメッセージ情報を削除する工程を含むことを特徴とするメッセージ伝送方法、

21. 請求の範囲第18項に記載の方法において、前記フロー制御信号内にメッセージを挿入して、このフロー制御信号を受け取るデータ処理装置が、この装置から発生するメッセージの再伝送が禁止されている間に、メッセージを受け取ることが可能となるようにする工程を含むことを特徴とするメッセージ伝送方法、

22. 請求の範囲第19項に記載の方法において、行列化されたメ

ッセージ情報の回路基板位置のうちのある位置に配置され、前記電子スイッチング手段を備えている多重の回路基板のそれぞれの状態を表示するステータス・コードを発生する工程と、

多重の回路基板位置をポーリングして、存在する回路基板から前記ステータス・コードを読み取る工程とからなる多重データ処理装置間のメッセージ伝送方法、

26. それぞれが通信用ポートを有している多重データ処理装置間でメッセージの伝送を行う方法において、

メッセージの目標とする目的地を特定するアドレス・データを含むメッセージを、各データ処理装置のポートからそれぞれの通信用チャネルを介して、このデータ処理装置用の受け取り手段および伝送手段を備えた各電子スイッチング手段へ伝送する工程と、

メッセージ内で特定される目的地のデータ処理装置用の電子スイッチング手段の伝送手段に対する、受け取り手段に到達した各メッセージの伝送用接続部を選択する工程と、

選択された接続部を、メッセージ発生元の装置のスイッチング手段および目的地装置に接続する工程と、

各メッセージを、メッセージ発生元の装置のスイッチング手段から、選択した接続部を介して、目的地装置用の伝送手段へ伝送し、さらにこの目的地装置に伝送する工程と、

前記電子スイッチング手段のうちのあるものを含む欠陥のある回路基板が修理のために取り外されるまでに、この回路基板の不揮発性メモリに診断情報を書き込む工程と

からなる多重データ処理装置間のメッセージ伝送方法、

27. それぞれのアドレスを有する複数のデータ処理装置との間の通信を行うデータ処理装置の作動方法において、

目的地アドレスを含む出力メッセージを送送する工程と、

前記出力メッセージの伝送後にアクノリッジメントが受け取られたか否かを検出し、このアクノリッジメントが受け取られなかったときには、フロー制御信号が受け取られたか否かを検出し、このフロー制御信号が受け取られたときには、前記メッセージの再伝送を禁止し、前記フロー制御信号が受け取られなかったときには、前記メッセージの再伝送を可能とする工程と、
前記フロー制御信号によって前記メッセージの再伝送が禁止されている場合には、入力メッセージが前記フロー制御信号内に挿入されたか否かを検出し、前記入力メッセージが前記フロー制御信号内に挿入されたときには、前記入力メッセージを受け取り、この入力メッセージの受け取りが終了した後に、前記フロー制御信号が再び受け取られたか否かを検出し、このフロー制御信号が再び受け取られたときには、前記出力メッセージの再伝送を禁止し、前記フロー制御信号が再び受け取られないときには、前記出力メッセージの再伝送を可能とする工程と

を有するデータ処理装置の作動方法。

28. 請求の範囲第27項に記載の方法において、前記アクノリッジメントの伝送を、前記入力メッセージを受け取った後であって、前記フロー制御信号が再び受け取られたか否かを検出する前に行うようになった工程を含むことを特徴とするデータ処理装置の作動方法。
29. 請求の範囲第27項に記載の方法において、前記フロー制御信号は、前記入力メッセージの伝送にも使用されるキャリアを含んでいることを特徴とするデータ処理装置の作動方法。
30. 請求の範囲第29項に記載の方法において、前記入力メッセ

れた目的地と前記有効目的地アドレスとを比較する手段と、

前記比較手段に對照して、前記指定装置から受け取ったメッセージの特定された目的地への伝送を、特定した目的地が前記一連の有効目的地に含まれる場合にのみ行うための手段とを有することを特徴とするコンピュータ相互結合用カブラ。

35. 請求の範囲第34項に記載のカブラにおいて、前記記憶手段は、複数の組の前記データ処理装置を特定する情報を記憶しているメモリを有しており、前記比較手段は、データ処理装置がメッセージを発生し終えて、このデータ処理装置が、目的地が共に前記組内に含まれるものとしてアドレス・データによって特定されたか否かを決定するための手段を有していることを特徴とするコンピュータ相互結合用カブラ。
36. 請求の範囲第35項に記載のカブラにおいて、前記データ処理装置の通信用ポートは、前記カブラを介して、アドレスがそれぞれ予め割り当てられた通信用チャネルに接続されており、前記メモリは、メッセージを受け取るチャネルのアドレスおよびメッセージの目的地用のチャネル・アドレスによって、アドレスされるようになっており、これを特徴とするコンピュータ相互結合用カブラ。
37. 請求の範囲第36項に記載のカブラにおいて、前記メモリ内の各ビットは、前記ビットをアドレスするチャネル・アドレスに對應するデータ処理装置が、前記メモリ内の前記ビット位置に對應する前記組のうちの一つのものの中に含まれるものであるか否かを指示するようにプログラムされていることを特徴とするコンピュータ相互結合用カブラ。
38. 請求の範囲第36項に記載のカブラにおいて、前記メモリは、メッセージを受け取るチャネルのアドレスによってアドレスさ

るの受け取り直前および直後に、キャリアが存在しないことを検出する工程を含むことを特徴とするデータ処理装置の作動方法。

31. 不揮発性のメモリ手段を有する電子回路基板であって、前記メモリ手段はこの基板の上に搭載され、この基板の上に形成された回路に接続されており、さらにこのメモリ手段には、

基板上の回路の故障発生時における基板に接続されている装置の状態を含む診断情報と、

基板およびこの基板上の回路の修理に関する履歴情報と、

基板のアイデンティフィケーション情報とが記憶されていることを特徴とする電子回路基板。

32. 請求の範囲第31項に記載の電子回路基板において、基板が搭載されるシャーシ上の位置特定手段に對して基板を接続すると共に、前記メモリ手段内に前記位置特定手段からのデータを記憶させるための手段を有していることを特徴とする電子回路基板。

33. 請求の範囲第31項に記載の電子回路基板において、前記メモリ手段はRAMROMであることを特徴とする電子回路基板。

34. それぞれが通信用ポートを有している多重データ処理装置間でメッセージの伝送を行うためのコンピュータ相互結合用カブラにおいて、

目標とするメッセージの目的地であるデータ処理装置を特定するアドレス・データを含むメッセージを、前記データ処理装置の通信用ポートから受け取るための手段と、

指定されたデータ処理装置から発生したメッセージ用の一連の有効目的地を記憶するための手段と、

前記指定された装置が発生したメッセージ内で実際に特定さ

れる第1の部分と、メッセージ源であるチャネル・アドレスによってアドレスされる第2の部分とを有していることを特徴とするコンピュータ相互結合用カブラ。

39. それぞれが通信用ポートを有している多重データ処理装置間でメッセージの伝送を行うためのコンピュータ相互結合用カブラにおいて、

目標とするメッセージの目的地であるデータ処理装置を特定するアドレス・データを含むメッセージを、前記データ処理装置の通信用ポートから受け取るための手段と、

直ちに目標とする目的地へ伝送することができないメッセージ用のメッセージ情報を記憶するためのキューと、

フロー制御信号をメッセージ発生元の装置に伝送して、この装置からの行列化されたメッセージの再伝送を禁止するための手段と、

メッセージがキューの先端に到達し、通信用チャネルがメッセージを目標とする目的地へ向けて伝送可能となったときに、前記フロー制御信号の発生を停止し、前記メッセージ発生元の装置から行列化したメッセージの再伝送を可能とするための手段と

を有することを特徴とするコンピュータ相互結合用カブラ。

40. 請求の範囲第39項に記載のカブラにおいて、前記フロー制御信号内にメッセージを挿入して、前記フロー制御信号を受け取るデータ処理装置が、この装置から出力されるメッセージの再伝送が禁止されている間に、メッセージを受け取ることができるようになる手段を有していることを特徴とするコンピュータ相互結合用カブラ。

41. 外部通信用ポートをそれぞれ有する多重データ処理装置間で

メッセージの伝送を行う方法において、

目標とするメッセージの目的地であるデータ処理装置を特定するアドレス・データを含むメッセージを、前記データ処理装置から発生させる工程と、

指定されたデータ処理装置によって発生したメッセージ用の一連の有効目的地を記憶する工程と、

前記指定装置が発生したメッセージ内で実際に特定される目的地を前記有効目的地アドレスと比較する工程と、

特定された目的地が前記有効目的地の範囲の中に含まれるものであるときにのみ、前記指定装置から受け取ったメッセージを特定された目的地に伝送する工程と

を有する多重データ処理装置間のメッセージ伝送方法、

42. 外部通信ポートをそれぞれ有する多重データ処理装置間でメッセージの伝送を行う方法において、

目標とするメッセージの目的地であるデータ処理装置を特定するアドレス・データを含むメッセージを、前記データ処理装置から発生させる工程と、

既ちには目標とする目的地へ向けて伝送することができないメッセージのメッセージ情報をキューイング処理する工程と、

フロー制御信号をメッセージ発生元の装置に伝送して、この装置から行列表されたメッセージの再伝送を禁止する工程と、

メッセージがキューの先頭に到達し、このメッセージを目標とする目的地に伝送可能となったときに、前記フロー制御信号の発生を停止して、メッセージ発生元の装置から行列表したメッセージの再伝送を可能とする工程と

を有する多重データ処理装置間のメッセージ伝送方法、

43. 請求の範囲第42項に記載の方法において、メッセージを前

記フロー制御信号内に挿入して、このフロー制御信号を受け取るデータ処理装置が、この装置から出力されるメッセージの再伝送が禁止されている間に、メッセージの受け取りが可能となるようにする工程を含むことを特徴とする多重データ処理装置間のメッセージ伝送方法、

特許(内容に変更なし)

明 細 書

データ処理装置クラスターに使用する

コンピュータ相互結合カブラ

(技術分野)

本発明は一般的にはコンピュータシステムの相互結合の分野に関するものであり、さらに詳しくは、コンピュータシステム内の各種のデータ処理装置間でのデータ・パケットの伝送に関するものである。特に、本発明は、各種のデータ処理装置間でのアドレスされたデータ・パケットの伝送を調停するためのコンピュータ相互結合用カブラに関するものである。

(背景技術)

従来のデジタル・コンピュータ・システムは少なくともメモリ、入出力装置、及びデータ・プロセッサを備えている。メモリは、アドレス可能な記憶場所に情報を格納する。この情報としては、コマンドおよびレスポンスを含む、データ処理のためのデータおよび命令がある。データ・プロセッサは、メモリに対して情報の伝送を行い、入力した情報をデータあるいは命令として翻訳し、また命令に従ってデータ処理を行う。入出力装置も、入力されたデータを格納し、出力された処理データを格納するために、メモリと接続されている。

典型的な小型のコンピュータ・システムは、中央処理ユニット、メモリ、入出力ユニットおよび電源を有しており、これらキャビネット内に一体に取付けられている。このキャビネットはフレームを中心に形成されており、このフレームには、中央処理ユニット、メモリおよび入出力ユニット等のプリント回路基板を受け入れる平行に配置されたスロットを形成しているラック、すなわち「カード・ケージ」が構成されている。前記基板の内側端には、

カード・ケージの「背面」上の接続部に結合する端子が配置されている。この「背面」には平行配列された多数の導電体であるバスが配置されており、これらのバスは、基板間を相互結合し、基板を電源に接続し、入出力ユニットを多数の入出力ポートに接続している。これらのバスによって、アドレスおよびデータ、コントロールおよび状態信号が伝送され、また電力供給および接地が行われる。典型的な入出力ポートは、コンソール端子用のポートを備えており、またフロッピー・ディスク・ドライブ、テープ・ドライブ、高速プリンタあるいはハード・ディスク・ドライブ等の、高速入出力装置あるいは大容量メモリ用のポートを少なくとも一つは備えている。

回路技術の進歩によって、各メモリあるいは入出力装置に対して専用に機能する付加データ・プロセッサの使用が実用化されるようになってきている。この結果、典型的な中央処理ユニット用のキャビネット内においては、数値計算用の第1のデータ・プロセッサおよび中央メモリ用の第2のデータ・プロセッサが配置される場合があり、例えば、メモリの一部で入出力データのフォーマットあるいはバッファリングを行う一方で、メモリの他の部分で数値計算が行われる。また、キャビネットの外側にある中央処理装置用の入出力装置あるいは大容量メモリ装置では、データのバッファリング用およびセントラル・プロセッサからの高レベルのコマンドに responding、装置を制御するために使用するデータ処理ユニットを少なくとも一つは備えているのが一般的である。

近年においては、計算能力およびデータ記憶能力として、数個の中央処理ユニットによって実現される能力以上の能力が要求されるようになってきている。大規模シミュレーション等の特定用途に対しては、アドレス、データおよびコントロールのバスによ

って適合された多数のセントラル・プロセッサおよびメモリを備えた大型コンピュータによってのみこのような要求が満足されているに過ぎない。しかし、一般的な用途に対しては、異なる場所に多数の一般的な中央処理ユニット、入出力装置および大容量メモリ装置が配置され、これらが相互に接続されて通信できるようになっているコンピュータ・ネットワークを構築することの方がより経済的である。中央処理ユニットはそれぞれ1つ以上の大容量メモリ・ユニットを分け合っており、共通のデータ・バスに対するアクセスおよびその更新を行うことが一般的である。

ネットワーク内でのデータ処理装置間の通信に使用可能な無線伝送法は数多くあるが、代表的な方法は、各種の要素間を相互接続している通信リソース（すなわち、チャネルあるいはバス）を分け合っており、使用されるものである。一般的に言って、シェア型バスを介しての二つの装置間の伝送動作には2つのステップが必要とされる。この理由は、各装置は同時に伝送を行う能力があるからである。第1のステップでは、規定インターバルの間でバス・コントロールを取得するためのユニットを駆動する。第2のステップでは、バスを介しての情報伝送を行うためにユニット駆動する。バス・コントロールの取得のためには、バス・アクセスを要求している装置のうちの特定のものを選択するための調停動作が必要である。この調停動作には二つの一般的な方法が知られている。一つは「集中型」調停であり、もう一つは「分散型」調停である。集中型調停においては、単一の集中優先回路あるいは装置がバス・アクセスの要求全てを受け取り、ある時点で要求を出している装置のうちの何れのものに対して最も高い優先順位を付与して、バスの使用を許可するのを決定する。一旦、そのような装置が選択されると、バスの制御が可能となり、転送が有効となる。これ

に対して、分散型調停においては、バスに接続されている各ユニットには特定の優先順位が割り当てられ、各ユニットは個別に、バス・コントロールを取得したい場合には、それぞれがバス・コントロールを取得するために充分な優先順位を有しているのか否かを判別する。優先順位の高いユニットが同時にバスへのアクセスを要求している場合には、それよりも低い優先順位の装置は、自身が最も高い優先順位を有する要求側となるときまで待機する必要がある。

分散型調停法は、「コリジョン・ディテクションを備えた逐次検知多重アクセス」(CSMA/CD)として知られており、同軸ケーブル等の単一のビット・シリアル・ラインを介しての多数の装置による通信を可能にする。各装置は、チャネルをモニターすると共に、二つの装置が同時に転送を行っているときを指示するための回路を備えている。転送を行っている装置が、同時に別の装置が転送を行っていることを検出した時には、双方の装置は転送動作を中止する。しかる後に、双方の装置はチャネルがクリアされた後に転送を再度トライする。

従来の同軸ケーブルによるシリアル・データ通信ネットワークは「イーザ・ネット」として知られている。このイーザ・ネットは、最大10メガビット/秒で動作し、ネットワーク・セグメント上において最大1023のアドレス可能な装置を提供できる。このイーザ・ネットは、非常に多数のタイムシェアリング端末を中央処理ユニットにリンクする場合に特に有用である。

個別のデータ処理装置間において、シェア型バスを介して高速で情報伝送を行うためには、高速同期化、アイソレーション、および高信頼性のデータ転送といった別の要求を満たす必要がある。これらの要求を満足するために、特別仕様のハードウェアおよび

通信プロトコルが考案されてきている。

離れた位置にあるデータ処理装置を結合する多重バスを介して並列に高速でデータ伝送を行うことは、伝播速度に遅延があるために、ほとんど実用的ではない。また、高速な同期化を行う必要があるために、ノン・リターン・ツー・ゼロのフォーマットでデータを伝送することは望ましくない。一本あるいは多数本のシリアル・データの流れを、モジュレートしたフォーマットあるいはセルフ・クロッキング・フォーマットで伝送することが望ましい。望ましいフォーマットは、マンチェスタ・エンコーディングであり、これはステアートの米国特許第4,592,672号公報およびステアートの米国特許第4,450,572号に記載されており、これらの内容は本明細書内に参照として組み込まれている。マンチェスタ・エンコーディングは直流および低周波成分を除去できるという利点もあり、この結果、エンコードされた信号は直ちに単一のアイソレーション・トランスフォーマーを通過することになる。

シェア型データ・バスを有するコンピュータ・ネットワークにおいては、確実なデータ伝送を行うことが特に重要である。このような場合、データ・バスの更新中におけるどのような割り込みも、発生するおそれのあるエラーを訂正するために、更新セントラル・プロセッサによって検出される必要がある。またこのような割り込みは、他のセントラル・プロセッサが一部変更されて使用されないデータを使用することのないように、メモリ・サブによって検出される必要がある。

確実な高速データ伝送を行うための通信プロトコルは、シェトレック等による米国特許第4,560,985号公報に開示されており、この内容は参照としてここに組み込まれる。調停は、各データ処

理装置がシェア型チャネル上でほぼ等しいアクセスの機会を得るように、回転順、すなわち「円形ロビン」に基づき行うことが望ましい。チャネル上にキャリアが存在しないことは、データ処理装置がアクセスを取得しようと試みたことを示している。調停タイムは、一定の期間以内にキャリアが存在しなかった時に伝送が失敗したことを示す。データ・パケットの検出あるいは他の伝送エラーは、周期的な冗長度チェック等のエラー検出コードによって検出される。

データ処理装置が正確にデータ・パケットを受け取った場合には、アクノリッジメント・コードを折り返し伝送することによって、そのパケットを受け取ったことを直ちに確認する。データ・パケットが受け取られると、処理された時には、ポジティブ・アクノリッジメント・コード(ACK)が戻される。情報パケットが正確に受け取られたものの、処理することが出来なかった時には、ネガティブ・アクノリッジメント・コード(NAK)が戻される。典型的な場合には、このネガティブ・アクノリッジメント・コードは、受け取ったデータ・パケットがバッファを利用出来なかったために処理できず、従って、受け取られたデータが破壊されたことを示している。

アクノリッジメント・コードの伝送を行うための調停は不要である。それは、受け取られたデータ・パケットのキャリアが伝送チャネルから除去されると同時にこのコードは伝送されるからである。アクノリッジメント・コードの伝送は一定の期間内に終了しなければならない。この一定の期間の経過後は、他のデータ処理装置が調停動作および別個のデータ・パケットの伝送を開始する可能性がある。

データ処理装置が、データ・パケットの伝送後直ちにアクノリ

ッジメント・コードを受け取らなかった場合には、再伝送を予め定めた回数まで連続して試みる必要がある。同様に、ネガティブ・アクノリッジメント・コードを受け取ったときには、それよりも幾分か多い回数だけ再伝送を試みる必要がある。デッドロックを打破するために、データ・パケットが再伝送可能な場合には、擬似乱数的な判別である「競ばじき」判別を行う必要がある。この判別結果が「真」ならば、再伝送が試みられる。この判別結果が「偽」であるならば、データ処理装置は一定の遅延期間の間待機して、判別動作を繰り返す。この遅延時間としては、例えば、データ処理装置の全てがチャネルをアクセスするために必要な最小時間は最低必要である。換言すると、全てのデータ処理ユニットが再伝送を試みようとしている場合には、故障の検出および調律に必要とする時間の他に、データ・パケットの伝送およびアノリッジメント・コードの再伝送を行うことのできる時間がなければならない。

上記とは別の伝送チャネルが、通信における高有効性及び高信頼性を確保するために必要である。ストレッカらの米国特許第4,490,785号に開示されているように、全てのチャネルが等しい可能性を有している場合に、ランダムに別のチャネルを行う必要がある。チャネル選択のタスクは、別のチャネル間で分配使用されるインターフェース回路によって行われる必要がある。

上述した通信技術を使用するデータ処理装置を結合するためには、一般的には、装置のクラスターを直接に、各装置用の別個のワインディングを有する中央に位置する一対の信号トランスフォーマーに接続する。各トランスフォーマーによって、データ処理装置を相互結合しているシェア型チャネルが形成され、トランスフォーマーが中央位置にあることによって、伝送遅延が確実に最小とさ

れる。しかし、このようなコンピュータの相互結合用カブラでは、伝送バンド幅が制限され、あるいはシェア型チャネルのスループットに制限があることに起因して、接続性にある程度の制限がある。データ処理装置が中央トランスフォーマーに対して追加して相互結合された場合には、各プロセッサに比例してその伝送バンド幅のシェアが狭くなってしまふ。よって、データ処理ユニットを追加して相互結合するためには、多数のチャネルを介して同時に伝送が行われるように別個のチャネルを追加する必要がある。しかし、この場合、各データ処理ユニットに対しては、ポートおよびインターフェース回路を追加する必要がある。さらには、これらのポートおよびインターフェース回路は同一のものとする事はできない。これは、追加した手段は、伝送用の特定のポートを選択し、ポートのうちの特定のものから入力されるデータを受け取るために必要とされるからである。このような修正を既存のコンピュータ装置上に構成すること決して望ましいことではない。

(発明の概要)

本発明の第1の目的は、接続性及びバンド幅が改善され、しかも既存のコンピュータ装置に対して実質的な修正を施すことの必要としない改善されたコンピュータ相互結合用カブラを実現することにある。

本発明の第2の目的は、相互接続された装置のクラスター構成を容易に変更できるようになったこのような改善されたコンピュータの相互結合用カブラを実現することにある。本発明のこれに関連した目的は、冗長チャネルを備えたこのようなカブラを実現して、各冗長チャネルに対して上記のクラスター構成を確実に一致させるようにすることにある。

本発明の第3の目的は、コンピュータ装置を追加して相互結合

するための段階的に拡張できる能力を備えたこのような改善されたコンピュータ相互結合用カブラを実現することにある。

本発明の第4の目的は、内部欠陥が発生したときにデータ交換を停止し、この内部欠陥を診断して欠陥のある回路を分離すると共にこの回路を待機することの可能となった、このような改善されたコンピュータ相互結合用カブラを実現することにある。

本発明の第5の目的は、欠陥のある回路基板を新たなあるいは修理した回路基板と交換するのみで、修理後ただちに全稼働状態に復帰でき、カブラを解析して欠陥回路基板の修理のための情報を検索する必要のないように、改善されたコンピュータ相互結合用カブラを形成することにある。

これらの目的およびその他の目的を達成するために、コンピュータ相互結合用カブラは、多数の処理装置の各チャネルを相互接続するための複数の選択ジャンクタを有している。このコンピュータ相互結合用カブラは、利用可能なジャンクタを選択することによって、アドレスされたデータ・パケットをルート指定するための論理回路を有している。ルート指定手続を発生データ・プロセッサの側に明確にするために、メッセージの最初の部分は、このルート指定手続を実行するために必要な時間の間に、ファースト・イン・ファースト・アウト・バッファ内に格納される。

バッファ容量の制限による実用上の制約に起因して、ビジー状態のチャネル用のメッセージの幾つかは放棄しなければならない。これらのメッセージを再伝送でき、ファースト・カム・ファースト・サーブ原則に基づきルート指定できるようにするためには、目的チャネルがビジーでなくなったらすぐに、メッセージをビジー状態のチャネルに送る要求を、目的チャネルに割り当てた各ファースト・イン・ファースト・アウト・キュー上に出す。しかる

後に、目的キューは満足されていない各チャネルへのアクセスの要求の命令リストを記憶する。一旦、チャネルがビジー状態でなくなると、チャネルは一時的にキューの先端位置において、最も古い要求を満足するために保持される。再伝送メッセージがルート指定された時に、あるいは予め設定した時間が経過した時点で、このキューの先端位置の要求はキューから除去される。

目的チャネルが利用可能になり、満たされていない先の要求が行われてしまうまでの時点で先立って、ルーティング回路が放棄されたメッセージの再伝送を行うことによって負担を受けないように、「フロー・コントロール」信号がソース・チャネルのデータ処理装置へ伝送される。これによって、このソース・チャネルからのキュー要求がキューの先端位置に現れた時に目的チャネルが一時的にソース・チャネル用にリザーブされるようになるまで、再伝送が禁止される。

選択したチャネルへのアクセスを制限し、予め指定したチャネルから発生したメッセージが制限されたアクセスのチャネルにルート指定されるようにするために、相互結合用カブラは、予め規定した1組のソース・チャネルおよびそれぞれの組の目的チャネルを格納する。目的チャネルにアドレスされているソース・チャネルからのメッセージのルーティングは、ソース・チャネルが少なくともこれらの組のソース・チャネル内に含まれたものであり、かつ、アドレスされた目的チャネルが対応する目的チャネル内に含まれているものである場合にのみ、可能である。このポートの「バーチャル・スター・カブリング」によって、不正確にアドレス付けされたメッセージあるいは許可されていないメッセージの伝送が禁止され、これによってデータ処理装置の一様性、効率、および安全性が向上する。

コンピュータ相互結合用カブラの信頼性の大観な改善は、一対のカブラを配置することによって達成される。これらのカブラは、相互にリンクされて、バーチャル・スター・カブリングの相互に一致した定義情報を確保し、またシステム内で相互結合されたデータ処理装置において発生し得る故障についての診断情報が互いに配分される。システムの信頼性は、各カブラに診断能力を付与することによってさらに改善される。これによって、内部欠陥が診断されて修理されることになる。修理の処理が容易にでき、高設置されるまえに欠陥のある回路が適切に修理される確率を高めるために、欠陥回路に関する内部診断情報が、欠陥回路の回路基板上の不揮発性メモリ内に記憶される。この結果、この情報は欠陥回路と共に修理施設に実際に送られることになる。

本発明の他の目的および利点は、以下の詳細な説明を読み、添付図面を参照することによって明らかとなる。

(図面の簡単な説明)

第1図は、従来形式の多数のデータ処理装置を相互結合するための本発明の好適な実施例の使用を示す説明図である。

第2図は、どのようにしてメッセージがジャンクタを介してソース・チャンネルから目的チャンネルに対してルート指定されるかを示すと共に、診断のためにどのようにして内部メッセージがジャンクタを介してルート指定されるのかを示す概略図である。

第3図は、実施例の回路を好適に回路基板の上に配置する方法およびシリアルバスによる回路基板の相互結合の方法を示す概略図である。

第4図は、ソース・チャンネルからのメッセージを目的チャンネルにルート指定するために使用するコントロール・バス、および診断プロセッサとメッセージのルート指定を行う回路との間の結合

る。

第14図は、メッセージ・シンクロナイザおよびレシーバ・コントロール・ロジック用のサイクル・カウンタの概略図である。

第15図は、メッセージのルート指定要求を発生するレシーバ・コントロール・ロジックの概略図である。

第16図は、メッセージ・キューイング用のレシーバおよびトランスミッタ・ロジックの概略図である。

第17図は、ファースト・イン・ファースト・アウト・バッファ用およびスイッチ・マトリックスのインターフェース用の論理回路の概略図である。

第18図は、スイッチ・マトリックス用および信号受け取り用の論理回路の概略図であり、上記の符号は、トランスミッタおよびレシーバに対してジャンクタが割り当てられたか否かを指示すると共に、割り当てられたジャンクタのアイデンティフィケーション番号を示す。

第19図は、レシーバをジャンクタに接続するための好適なスイッチング回路の概略図である。

第20図は、ジャンクタをトランスミッタに接続するための好適な回路の概略図である。

第21図は、ジャンクタのリザーブおよびドロップ用のサービス要求を発生するレシーバ・ロジックの概略図である。

第22図は、レシーバへのジャンクタの割当て変更を検出するレシーバ・ロジックの概略図である。

第23図は、トランスミッタ・コントロール・ロジックの概略図である。

第24図は、メッセージのルーティング、ジャンクタのリザーブおよびドロップ、メッセージのルーティング要求のキュー

を示す機能ブロック図である。

第5図は、発生元のポートから目的側のポートへのメッセージのルーティングおよび目的ポートからのアノリッジメント・コードの返却を示すタイミング図である。

第6図は、コントロール回路、コントロール信号、現在の論理状態および相互結合用カブラの構成を記憶するメモリ、および異常動作状態を検出する各種のタイマを、より詳細に示す機能ブロック図である。

第7図は、サービス要求が同一優先レベルにある場合における階層的図転優先順位調停法を示す概略図である。

第8図は、サービス要求が高い優先順位の組と低い優先順位の組とに分類され、各組内において発生した同時要求を調停するために図転の調停回路が配置されている二重優先順位法を実施するための論理回路を示す概略図である。

第9図は、プライオリティ・リンク・エンコードを示す概略図である。

第10図は、バーチャル・スター・カブラがどのようにして、一組の目的チャンネルを伴ったソールチャンネルの組として規定されるのかを示す図である。

第11図は、最大8組のバーチャル・スター・カブラの定義情報を記憶し、特定のソース・チャンネルから特定の目的チャンネルへのメッセージのルート指定を可能にする信号を発生するメモリ・論理回路を示す。

第12図は、コンピュータ相互結合用カブラを介して伝送されるメッセージ用の特定なフォーマットの一例である。

第13図は、マンチェスタ・デコードおよびキャリヤ検出ロジックを有するシリアル・パラレル・コンバータを示す概略図であ

イングおよびドロップのためのサービス要求を処理する中央スイッチ・ロジックの概略図である。

第25図は、中央スイッチ・ロジックで使用される要求プライオリティ・デコードの概略図である。

第26図は、ルーティング要求が可能であるかを判別する中央スイッチ・ロジックの概略図である。

第27図は、中央スイッチ・ロジックによって、ジャンクタのリザーブおよびドロップ用の要求を出すためのコンビネーション・ロジックの概略図である。

第28図は、中央スイッチ・ロジックによって、メッセージ・ルーティング要求のためのコンビネーション・ロジックの概略図である。

第29図は、メッセージをルーティングするために中央スイッチ・ロジックによって使用されるコンビネーション・ロジックの概略図である。

第30図は、メッセージ要求をドロップするために、中央スイッチ・ロジックによって使用されるコンビネーション・ロジックの概略図である。

本発明は、多岐にわたる変更や修正が可能であるが、特定の実施例を図示して以下に詳細に説明する。しかしながら、本発明をここに開示する特定の形態だけに限定するものではなく、本発明は、特許請求の範囲に規定する精神及び範囲内に含まれる全ての変型、等価物、そして変形も網羅するものである。

第1図は、本発明の様々な特徴を組み込んだコンピュータ相互結合用カブラ（一般的に50で示す）の使用例を示すものである。高い信頼性を得るために、カブラ50は、例えば、光ファイバ・リンク53によって互いに接続された2つの同一のカブラ

ー51と52によって形成されている。リンク53は、カプラー51、52のいずれかによって受け取ったオペレータ要求により状態が変化するときカプラー51及び52の構成が同一の状態に維持されるよう確保する。カプラー51と52は、これらによって相互接続された多数のデータ処理装置の状態及び起こりえる機能不良についての情報を伝送するためにリンク53を使用することもできる。これらのデータ処理装置は、中央処理ユニット54、55、56、57、58と、磁気テープドライブ61、62、63のためのサーバ59、68と、大量データ記憶装置即ちディスクメモリ64、65、66、67、68、69とを含む。通常のケースでは、中央処理ユニット54ないし58は、高速度プリンタ70、71または低速度プリンタ72、73そして多数の時分分割ターミナル(図示せず)、コミュニケーション装置(図示せず)及び用途に特定の装置(図示せず)に直接リンクされている。

コンピュータ相互結合用カプラー51、52は、データ処理装置54〜60を別々の場所、例えばビルディングの両端に設置できるようにする。さらに、カプラー51と52は、システム内のいずれのデータ処理ユニットも、システム内の他のいずれのデータ処理ユニットに、アドレスされたデータパケットを送れるようにする。その上、カプラー51と52は、1つのデータ処理装置から別の処理装置へメッセージを送信するように構成又はプログラムすることができ、それはソースデータ処理装置及び行き先データ処理装置の各チャンネルがシステムに対して定められた少なくとも1つの「仮想スターカプラー」に関連した予め定められたソースチャンネルセット及び行き先チャンネルセットにそれぞれ含まれる場合においてのみである。従って、コンピュータ相互接

続カプラー51、52は、あるデータ処理装置へのアクセスを制限し、ある方向のみのデータ転送を許可し、そして機密性の目的のため、メッセージが最初にあるデータ処理装置に送られた場合にのみそのメッセージを別のデータ処理装置にルーティングできるようにする。

これ以降の図面に示された特定の実施例によれば、それぞれのカプラー51、52は2路電子クロスバスイッチで、これは、8箇の独立した相互接続通信ジャンクタを構成するのが好ましい。各ジャンクタは、両方向性で、1秒間に70メガビットのデータを転送するのが好ましい。それぞれのカプラー51、52は、少なくとも64チャンネルを相互接続できるのが好ましい。カプラー51、52に接続されたチャンネルは、論理的に、8つ程度の仮想スターカプラーに分けることができ、そしてチャンネルに接続されたデータ処理装置は、既述し直すことなしに1つの仮想スターカプラーから、別の仮想スターカプラーへと物理的に論理的に移動できる。

第2図は、ソースチャンネルXから行き先チャンネルYまでのメッセージをルーティングすることを示す簡略図である。チャンネルXは、インターフェイス回路82をリモート位置のデータ処理装置と相互接続する通信ケーブル81によって定められる。同様に、チャンネルYは、第2の通信ケーブル85を通して他のリモートデータ処理装置に相互接続されるインターフェイス回路83を有する。

図明上、チャンネルXのためのインターフェイス回路82は、チャンネルYにアドレスされるデータパケットを含むメッセージを通信ケーブル81を通して受け取る。それ故、このメッセージの目的として、チャンネルXはソースチャンネルとし

てチャンネルYは行き先チャンネルとなる。このようなメッセージを処理するために、それぞれのチャンネルには独特のチャンネル番号が指定される。

メッセージをルーティングするために、メッセージの最初の部分がインターフェイス回路82から受信ロジック回路84へと送られる。受信ロジック回路84はルーティング要求を発生し、もしこれが満足されると、複数のジャンクタ85の1つが受信ロジック回路84に指定される。この指定により、スイッチマトリクス87の各スイッチが閉じ、そして受信ロジック回路84が指定のジャンクタに接続される。第2図に示されているように、例えば、受信ロジック回路84はスイッチ89を閉じることによってジャンクタ88に接続される。

メッセージをそのアドレスされた行き先チャンネルにルーティングするには、更に、その指定のジャンクタ88が、行き先チャンネルに関連した送信ロジック92に接続される必要がある。このため、送信ロジック回路92は、スイッチ91を含むスイッチマトリクス90によってジャンクタ88に接続され、そのスイッチ91は、これが閉じると、ジャンクタ88を送信ロジック回路92に接続する。スイッチマトリクス87、90内のスイッチの要求される状態は、ジャンクタ制御バス93を通して送られる制御信号によってセットされる。この制御信号は、送信ロジック回路92によって受信され、リンクが確立されたことと、メッセージがジャンクタ88の1つを通して伝達されることを示す。メッセージを受信すると、送信ロジック92は、メッセージをチャンネルインターフェイス回路83に送り、通信ケーブル85を通してアドレスデータ処理装置へ送るようにする。

メッセージを受信すると、アドレスされたデータ処理装置は、

ソースデータ処理装置に確認信号を返送する。この確認信号は、通信ケーブル85を通して返送され、インターフェイス回路83に送られ、そして関連する受信ロジック回路94へ送る。受信ロジック回路94が元のメッセージの送信を終えたときに返送される確認信号の受信を予想する際に、ジャンクタ制御バス93を経て制御信号を発生させ、これにより、スイッチ89及び91を開きそしてスイッチ95及び96を閉じ、チャンネルYに関連した受信ロジック回路94と、チャンネルXに関連した送信ロジック回路97との間に逆接続を確立する。返送される確認信号は、送信ロジック回路97により、チャンネルXに関連したインターフェイス回路82へ送られ、最初にメッセージを出したデータ処理ユニットへ返送される。

相互接続カプラー51内の回路をテストするために、相互接続カプラーは更に制御及び診断ロジック98を含んでおり、このロジックは制御信号を発生し、これらはジャンクション制御バス93に送られて、選択された1つのチャンネルの受信及び送信ロジックを適当な「保守」ループを確立する。制御及び診断ロジック98は診断メッセージを発生し、これは、診断スイッチマトリクス99を通してジャンクタ88の1つに送られる。このため、例えば、スイッチ89、91及び95が開けられそしてスイッチ96が閉じられる。さらに、スイッチ100が閉じて、制御及び診断ロジック98をジャンクタ88に接続し、これにより、送信ロジック97への送信経路を確立する。制御及び診断ロジック98は、ジャンクション制御バス93を経て制御信号を発生し、スイッチ101及びスイッチ102を閉じて、受信ロジック回路84から診断ロジック98へ至る返送路を確立する。それに加えて、全ての内部回路が保守ループ103によって閉じられ、送信

ロジック97から受信ロジック84までの信号経路を形成する。例えば、送信ロジック97及び受信ロジック84は、インクフフェイス回路から切断され、受信ロジック84及び送信ロジック97の双方がスイッチマトリクス87を通してジャンクタ85に接続されたときに保守ループ103を通して相互接続される。送信された診断メッセージと、受信された診断メッセージを比較することによって、制御及び診断ロジック98は、スイッチマトリクス87を制御する際のエラー、又はスイッチマトリクス87、受信ロジック84或いは送信ロジック97の不適當な動作を検出することができる。これらのエラーは、制御ターミナル105を通してシステムオペレータ104に知らされる。

第3図は、第1図の相互接続カブラー51又は52の1つを形成する様々な回路基板の図である。回路基板は、中央処理ユニットに使用される種類の通常のカードケイジに取付けられ、その回路基板は、通常の電源装置111によって作動される。例えば、この実施例における電源、カードケイジ及び送風機は、デジタル・イタリメント・コーポレーションの"VAX 8550/8550"中央プロセッサに使用されているものと同等のものである。しかしながら、カードケイジの"バックプレーン"を参照して、第3図に示すように、多数のバスで回路基板を相互接続することもできる。

51で一般的に示された示意的なコンピュータ相互接続スイッチは、少なくともコンソール及び診断プロセッサのための回路板112を含み、これは、第2図の制御及び診断ロジック98を構成するものである。診断プロセッサ112は、例えば、デジタル・イタリメント・コーポレーションの"ADP-11"をベースとするプロセッサである。診断プロセッサに関連して、一対の

又、診断及び制御バス120は、スイッチ制御ボード121及びチャンネルインターフェイスボード122、123に含まれた電氣的に消去可能で且つプログラム可能なメモリ(EEPROM)に診断プロセッサ112をリンクするのに用いられ、これは、欠陥のある回路板が修理のために取り外される前にこの欠陥回路板に診断情報を書き込むためである。それ故、欠陥が検出されたときのシステムの状態及び形態のような診断情報と、診断へと導くエラーフラグは、欠陥回路板と共に修理工場へ送られる。このことは、欠陥のある回路板が返送されたときに、その回路板上の全ての欠陥を適切に修理する見込が高くなるように回路板に対してより完全な修理を確保する。各回路板のEEPROMは、診断情報と共に、回路板の識別情報、例えば、その回路板の形式又はそれによって行なわれる機能、回路板のシリアル番号、回路板の製造年月日と場所、及びその回路板の修理経過を含むのが好ましい。

所望のチャンネル数ある最大数まで受け入れるようコンピュータ相互接続カブラー51を徐々に拡張するために、コンピュータシステムに相互接続されるべきある個数のデータ処理装置の各々に対してチャンネルインターフェイスボード122が設けられている。好ましくは、チャンネルインターフェイスボードは、個々のチャンネルに対するインターフェイス回路と共に、それに関連した受信ロジック、送信ロジック及びスイッチマトリクス回路を含んでいる。スイッチ制御ボード121の診断スイッチマトリクスは、ジャンクタ86によりチャンネルインターフェイスボード122のスイッチマトリクスにリンクされ、ジャンクタは、システムに取り付けることのできる他のチャンネルインターフェイスボード123のスイッチマトリクスにまで延びている。スイ

ッチ制御ボード121は、ジャンクタ制御バス93を通して、チャンネルインターフェイスボード122、123にリンクされる。チャンネルインターフェイスボード122、123がスイッチ制御ボード121の中央ロジックヘルペティングまたは待ち行列の要求を送信するようにするために、それらボードは、スイッチ制御バス124を通してリンクされる。又、スイッチ制御バス124は、確認信号を送信したり、流れ制御信号をスイッチ制御ボード121からチャンネルインターフェイスボード122、123へ送るのにも使用される。その上、チャンネルインターフェイスバス122、123は、診断制御バス120にもリンクされていて、診断プロセッサ112がタイムインターバルのような情報を受信及び送信ロジックにダウンロードできるようにすると共に、診断プロセッサがカウンタ、レジスタ、送信及び受信ロジックの状態について質問できるようにする。

本発明の特徴によれば、メモリボード114は、更に、スイッチヘルペティングポリシーレベルの情報を記憶するスイッチ制御メモリ119を含む。この情報は、例えば、システムの仮想ステータカブラーを定義したもののマスターコピーを含み、そして異常なまたは不適當な動作状態がコンピュータ相互接続カブラー中のロジック回路に起きていることを検出するための様々なタイマーの時間間隔を定めるデータを含む。診断制御バス120は、スイッチ制御メモリ119と診断プロセッサ112をリンクするために装備されている。診断制御バス120は、診断プロセッサがポリシーレベル情報を中央スイッチロジックにダウンロードできるようにし、このロジックは、スイッチマトリクスを制御することにより選択されたジャンクタを通じてメッセージをルーティングする。中央スイッチロジックは、スイッチ制御ボード121に含まれ、このボードは診断スイッチマトリクスを含む(第2図99)。ポリシーレベル情報をダウンロードしそして診断スイッチマトリクスをセットするために、診断プロセッサ112は、中央スイッチロジックに割り込みか又は制御コマンドを送り、以下に詳しく述べるように、中央スイッチロジックのメモリ及びレジスターをアドレスできるようにする。

マトリクスのスイッチをセットしたりリセットしたりするために、スイッチ制御ボード121は、ジャンクタ制御バス93を通して、チャンネルインターフェイスボード122、123にリンクされる。

チャンネルインターフェイスボード122、123がスイッチ制御ボード121の中央ロジックヘルペティングまたは待ち行列の要求を送信するようにするために、それらボードは、スイッチ制御バス124を通してリンクされる。又、スイッチ制御バス124は、確認信号を送信したり、流れ制御信号をスイッチ制御ボード121からチャンネルインターフェイスボード122、123へ送るのにも使用される。その上、チャンネルインターフェイスバス122、123は、診断制御バス120にもリンクされていて、診断プロセッサ112がタイムインターバルのような情報を受信及び送信ロジックにダウンロードできるようにすると共に、診断プロセッサがカウンタ、レジスタ、送信及び受信ロジックの状態について質問できるようにする。

コンピュータ相互接続カブラーの動作中に、スイッチ制御ボード121及びチャンネルインターフェイスボード122、123の回路によって種々の警報又はエラー状態が発生される。診断プロセッサがこれらの当該状態を素早く確認できるようにするために、診断制御バス120はスイッチ制御ボード121とそれぞれのチャンネルインターフェイスボードに対して各割り込み要求ラインを含んでいる。診断プロセッサ112が割り込みされると、これは、割り込み要求を発しているボードのエラーフラッグレジスタをアドレスする。

回路板121、122、123を取り付けたり取り外したりするときにコンピュータ相互接続カブラーの操作を容易にするため、

個別の状態ノクリアパス125が設けられており、これは、診断プロセッサがカードケイジの各スロット（図示せず）をポーリングして、回路板が取り付けられているかどうかの情報を得られるようにし、そしてもしそうならば、回路板の形式と、それに関連したチャンネル番号を示す情報も得られるようにする。状態ノクリアパスは、例えば、診断プロセッサ112から回路板の各スロットへ至る個別のイネーブルライン及び個別のクリアラインを含む。イネーブルラインは、回路板が各状態レジスタから状態パスに沿って状態コードを送信できるように順次作動される。クリアラインは、診断プロセッサがそれぞれの回路板121、122、123を独立してリセットできるようにする。

コンピュータ相互接続カブラーは、更に、トラフィックデータ収集ボード126を含み、これはトラフィックデータ制御バス127を通じて診断プロセッサ112とリンクされている。トラフィックデータ収集ボードは、例えば、各ジャンクションを経て運られそして各チャンネルから発生されるか又はそこに送られるメッセージの周波数を記憶するアドレス可能なカウンタを含む。

第4図は、様々な回路機能間の重要な制御経路を含むコンピュータ相互接続カブラーの機能ブロック図である。チャンネルインターフェイス回路82は、通信ケーブル81に接続されたライン受信器132及びラインドライバ133を含む。通信ケーブル81は、例えば、アイソレーション変成器（図示せず）を経てライン受信器132及びラインドライバ133にそれぞれ接続された一対の同軸ケーブルから成るが、ライン受信器132及びラインドライバ133に接続された一対の光ファイバラインから構成されてもよい。同様に、他のチャンネルインターフェイス回路83も、通信ケーブル85に接続されたライン受信器136及びライン

ドライバ137を含む。ライン受信器132及びラインドライバ133は、保守ループ103を形成するようにスイッチできるマルチプレクサ139を通してそれぞれの受信及び送信ロジック84、87に接続される。他のチャンネルインターフェイス回路88も同様のマルチプレクサ140を含む。

通信ケーブル81、85を経て送信及び受信されるデータは、マンチェスターコーディングのような自己同期又は自己クロックフォーマットを用いて直列ビット流として送信されるのが好ましい。データ率は、例えば、1秒あたり70メガビットである。直列ビット流中のクロックが回復され、そしてデータビットはマンチェスターデコード及び直列/並列コンバータ141によって8ビットバイトに译碼みされる。回路設計を簡単にするため、共通の内部クロックを用いて全てのチャンネルからのデータが処理される。それ故、同期回路142は、データバイトを内部クロックに同期させるようにデータバイト流を逐次的に译碼させるのに用いられる。同期されたバイトは、先入れ先出しバッファ143に送り込まれ、メッセージのルーティング中に一時的な記憶が与えられる。受信制御ロジック84は、メッセージのヘッダから行き先アドレスを得る。又、受信制御ロジック84は、ヘッダが所定のフォーマットに合っているかどうかを決定し、もしそうならば、受信制御ロジックは、メッセージをルーティングするためのサービス要求を中央スイッチロジック144に送る。

予め定められた仮想スターカブラーのみに従ってメッセージをルーティングできるようにするために、中央スイッチロジック144は、行き先アドレスと、ソースチャンネルに対して定められて中央ロジック状態メモリに記憶された1組の所定の有効行き先アドレスとを実際に比較する。もしメッセージが許可されない

アドレスにアドレスされると、中央スイッチロジック144は、そのメッセージをルーティングするためのサービス要求を拒絶する。さもなければ、中央スイッチロジックは、ジャンクタがフリーであるかどうかを判断すると共に、行き先チャンネルの送信器または受信器がビジーであるかどうかを判断する。もしジャンクタが使用可能で、行き先チャンネルがビジーでなければ、メッセージがルーティングされる。そうでない場合には、メッセージのルーティング要求は“行き先待ち行列”中に入れられ、行き先チャンネルがもうビジーでなくなった際に、その要求が満たされるようにする。

メッセージ要求が待ち行列に入れられるときには、バッファ143のメッセージを送信することができず、これは廃棄される。メッセージを送信できるまで全メッセージを記憶するに充分な記憶装置を設けることはできるが、これは必要とされず、過剰な量のメモリと付加的なロジックの複雑さが要求される。更に、後で送信するように全メッセージを記憶することによりメッセージ送信プロセスの完全性が低減される。というのは、行き先データ処理装置による受信を直ちに確認できないからである。これに対し、本発明の好ましい実施例によれば、メッセージの開始のみが一時的に記憶され、それにより、メッセージ受信の確認は若干遅延されるだけであって、コンピュータ相互接続カブラーはデータ処理装置に対して比較的透過的であると考えられる。

行き先チャンネルがビジーであるためにメッセージ要求が待ち行列に入れられたときにソースチャンネルに接続されたデータ処理装置がメッセージを再送信しないようにするために、それに応答する流れ制御信号がソースチャンネルに送られ、メッセージが待ち行列に入れられたことを受信制御ロジック84に指示する。

又、この流れ制御信号は、ソースチャンネルに関連した送信器を作動し、流れ制御信号を元のデータ処理装置へ返送する。受信の際には、流れ制御信号により、データ処理装置は、中央スイッチロジックが行き先アドレスのチャンネルがメッセージを搬送しないと判断しそして待ち行列に入れられたメッセージ要求が行き先待ち行列の頭部に現われるまで再送信を行なわないように禁止される。これらの条件が満たされると、中央スイッチロジック144は流れ制御信号をオフにし、ソースチャンネルのデータ処理装置がメッセージを再送信するようにする。

ジャンクタが利用できないためにメッセージルーティング要求が待ち行列に入れられた場合には、流れ制御信号が送られず、ソースチャンネルのデータ処理装置は、メッセージを再送信できるようにするや否や自由に再送信を行なう。中央スイッチロジック144は、メッセージをルーティングできるようにになると、ジャンクタ制御バス13に信号を送って、フリージャンクタをソースチャンネル受信器及び行き先チャンネル送信器に指定する。ジャンクタが指定された場合には、スイッチマトリクス87、89の各スイッチが閉じられ、受信制御ロジック84及び送信制御ロジック82は、指定のジャンクタに対してメッセージを送信及び受信すべきであることが信号される。送信の前に、受信制御ロジック84はメッセージの開始部にタグを追加し、タグが指定のジャンクタを経て送信されると、メッセージがバッファ143からクロックされて出される。タグは、指定のジャンクタ、ソースチャンネル数及び行き先チャンネル数を識別する情報を含んでいる。送信制御ロジック82は、タグを検査し、タグが間違っている場合にメッセージの送信を阻止する。さもなければ、タグが認識され、メッセージの開始部にビット同期ヘッダが追加される。次いで、

ヘッダは、流れ制御及びデータマルチプレクサ145と、並列／直列コンバータ及びマンチェスタエンコーダ147を経て送られ、行き先データ処理装置へ流列形態で伝送される。

メッセージ送信の終りに、受信制御ロジック84は、バッファ143が空であることを感知し、スイッチマトリクス87、90のスイッチの状態を変える要求を中央スイッチロジック144に送り、指定のジャンクタに対してデータの復れを逆転させる。次いで、行き先データ処理装置からの確認が指定のジャンクタを経て返送され、ソースデータ処理装置へ送られる。確認の送後、指定のジャンクタが落とされる。

診断メッセージのルーティングも同様に行なわれるが、コンソール及び診断プロセッサ112は、送信及び受信ロジックを含む診断メッセージ制御ロジック149に接続されたバッファ148を経て診断メッセージを送信及び受信する。

第5図には、メッセージが送達されてルーティングされるまで対応する確認が返送されたときに生じる一時制御信号のタイミング図が示されている。コンピュータの相互接続カプラーは、RESET信号により初期状態にセットされる。RESET信号がインアクティブになった後に、ソースチャンネルXの受信器は通信ケーブル81から入ってくるキャリアを探索する。キャリアを見つけると、受信は、INTERNAL MESSAGE信号によって指示されるメッセージの開始を知らせる文字同期コードを探索する。チャンネルXは、メッセージの最初の部分を処理した後に、ROUTE MESSAGE信号を中央スイッチロジックに送信する。中央制御ロジックは、これに回答して、JUNCTION ASSIGNED信号により指示されたチャンネルX受信器にジャンクタを指定する。

文字同期コードが受信されたときから、メッセージがバッファ

143にクロックされる。ジャンクタが指定されるや否や、プレフィックスがジャンクタに付して送達され、次いで、メッセージがバッファ143からクロックされて出される。ジャンクタを通るメッセージの送信は、全メッセージがチャンネルX受信器によって受信されたことが INCOMPLETE MESSAGE COMPLETE信号によって指示された後も続けられる。バッファ143が空になって、全メッセージがジャンクタを経て送達されたことを信号すると、チャンネルXの受信器は、REVERSE PATH 要求を中央スイッチロジックに送る。ジャンクタに付した経路が逆転すると、チャンネルXの受信器はメッセージの処理を完了する。

ジャンクタに付した経路を逆転することにより、ジャンクタはチャンネルXの送信器に指定され、これはJUNCTION ASSIGNED TO TX OF SOURCE信号によって指示される。ジャンクタがチャンネルXの送信器に指定されると、送信器が作動され、チャンネルXの受信器はそれ以上のメッセージを送信しないように禁止される。同様に、チャンネルXの受信器からチャンネルYの送信器へジャンクタを経てメッセージが送られる間に、チャンネルYの送信器は、ジャンクタがチャンネルYの送信器へ指定されたときに作動される。

ジャンクタを経て送られるメッセージの最初の部分は、メッセージの形式を示すコードを含むヘッダバイトを構成している。ジャンクタからの受信の際に、メッセージが肯定(ACK)でもないし又は否定(NAK)確認でもない場合には、Yチャンネル受信器及び送信器の回路がACK/NAKモードに入れられ、これは、信号の送達後に、チャンネルYの受信器が行き先データ処理装置からの確認を予想すべきであることを指示する。特に、チャンネルYの送信器からメッセージを最初に送信した後のある時間中に、

チャンネルYの受信器が確認を予想すべきであり、そしてその確認の受信の際に、既に指定されたジャンクタが確認の送達に指定されているために、チャンネルYの受信器がメッセージのルーティング要求を必要としないことをチャンネルYの受信器に指示する。又、ACK/NAKモードは、メッセージの完了の際に、REVERSE JUNCTION 要求ではなくて DROP JUNCTION 要求を中央ロジックに送信すべきであることをYチャンネル受信器に指示する。

第5図に示すように、確認は、チャンネルYの受信器の RX OF DESTINATION INTERNAL MESSAGE 信号によって指示される。返送メッセージは、ジャンクタがチャンネルYの受信器に指定されたある時間後に生じる。返送確認のルーティングは必要とされず、メッセージ終了の非常に短時間後に、チャンネルYの受信器は、DROP JUNCTION 要求を中央スイッチロジックに送信する。いったんメッセージが処理されそして確認が終了すると、ジャンクタが落とされ、送信回路は、更に別のメッセージを受信するために初期状態に戻される。

第6図は、制御ロジック、制御信号、制御ロジックに関連した制御メモリ及びある所定の時間インターバル内に制御信号が生じるよう確保する種々のタイマーの構造ブロック図である。

メッセージを受信する場合には、同期回路142が NEW MESSAGE REQUEST 信号をマンチェスタデコード及び並列／直列コンバータ141へ送る。デコード及びコンバータ141は、それに応じて、RX MESSAGE 信号を返送し、これはメッセージが受け取られたことを指示する。他のある時間において、同期回路142は RX CLEAR MESSAGE 信号をデコードに送り、メッセージの受信を禁止する。RX MESSAGE 信号は内部クロックに同期され、INTERNAL MESSAGE 信号を受信制御ロジック84に送信する。受

信制御ロジック84は、メッセージを処理した後に又はメッセージの長さがある長さを越えることが最大メッセージ長さカウンタ151によって決定されたときに、END MESSAGE PROCESSING信号を返送する。又、受信及び送信制御ロジックは、制御ロジックがループバックモードにあるときを除き、送信制御ロジックがビジーであるときに、メッセージの受信を禁止するために、TX BUSY信号を同期回路141へ送信する。

メッセージの処理中に、受信制御ロジック84は、多数の異なる要求を中央スイッチロジック144へ送る。これらの要求は、2つの別々の優先順位レベルに基づいてグループ分けされる。

REVERSE PATH 要求及び DROP JUNCTION 要求は、各々、指定のジャンクタに付した経路を逆転して指定のジャンクタを落とす優先順位の高い要求である。優先順位の低い要求は、ROUTE MESSAGE 及び QUEUE MESSAGE を含む。ROUTE MESSAGE 要求は、ジャンクタが使用できる場合及び行き先ポートがビジーでない場合にジャンクタを指定し、さもなければ、メッセージは行き先ポートに対する待ち行列に記録される。QUEUE MESSAGE は、特定の行き先ポートに対する待ち行列にルートメッセージ要求を入れさせる。

メッセージをルーティングする場合には、中央スイッチロジック144は、中央ロジック状態メモリ153を参照し、コンピュータの相互接続カプラーの状態を判断する。好ましい実施例においては、中央ロジック状態メモリ153は、スイッチ制御ボード(第3図の121)の中央スイッチロジック144と共に存在する。ルーティングされたメッセージと、行き先ポートの受信器によってちょうど受け取られる信号との間の衝突を防止するために、中央スイッチロジック144がルーティングプロセスの完了前に行き先ポートの受信器を迅速にボーリングすることが所望される。

それ故、マンチェスタコードから発生された制御信号 EX CARRIER は受信側の制御ロジックから中央スイッチロジックへ送られ、受信側がビジーであることを指示する。

メッセージは多数のチャンネルから非同期で受け取られるので、受信側の制御ロジックは、中央スイッチロジック 144 が要求を末尾長く処理できるかどうか及びそれができるときを知る必要がある。受信側の制御ロジックは、例えば、FIFO バッファ 148 に一時的に記憶されたメッセージをジャンクタが指定されるまで送信できない。同様に、送信側の制御ロジック 92 は、流れ制御信号を送信するためにメッセージが末尾長く待ち行列に入れられたかどうか知る必要があると共に、更に、待ち行列に入れられたメッセージ要求が各行き先待ち行列の頭部に達したときを知る必要がある。このような場合には、送信側が流れ制御キャリアをオフにしなければならない。この目的のために、受信及び送信制御ロジックは、ジャンクタが各受信又は送信回路に指定又は接続されたかどうかそして流れ制御をオンにすべきかオフにすべきかを指示する信号を中央スイッチロジック 144 から受け取る。ジャンクタを指定することとこれを落とすことは、ジャンクタ制御バスを経て送られる信号から決定することができる。更に、REVERSE PATH, DROP JUNCTION 及び ROUTE MESSAGE 要求は、第 3 図のスイッチ制御バス 124 を経て返送される信号によって確認することができる。流れ制御は、スイッチ制御バスを経て送られる FLOW-CONTROL-ON 及び FLOW-CONTROL-OFF 信号によってオン及びオフに切り換えられる。

メッセージがある所定の時間インターバル内にルーティングされなかった場合には、各チャンネル受信側の FIFO バッファ (第 4 図の 143) がオーバーフローする。この状態が生じるかど

うか決定するために、受信制御ロジックはメッセージルーティングタイマ 154 を含んでいる。メッセージが所定の時間インターバル内にルーティングされない場合には、それが廃棄され、ROUTE MESSAGE REQUEST が引き出され、QUEUE MESSAGE 要求が中央スイッチロジックに送られる。少なくとも 1 つの要求確認タイマ 155 は、中央スイッチロジックが適度な時間インターバル内に他のサービス要求に応答するかどうかをチェックする。

メッセージの送信及びジャンクタに抱った経路の逆転の後に、ジャンクタは、行き先チャンネルの受信側が ACK/NAK モードにあって確認を待機する間にある時間中指定された状態となる。受信及び送信制御ロジック 84、92 は、予想 ACK/NAK タイマーを含み、これは、受信制御ロジック 84 が所定の時間インターバル後に ACK/NAK モードを出るよう確保すると共に、受信制御ロジックに指定されたジャンクタが落ちるように確保する。このジャンクタが落ちるように更に確保するために、中央スイッチロジック 144 は、ジャンクタが所定の限界時間以上指定されたときに時間切れするジャンクタタイマ 161 を備えている。中央スイッチロジックは、ジャンクタタイマーの時間切れを感知する手段、例えば、ジャンクタカウンタ 162 及びマルチプレクサ 163 を備えている。これらの回路がジャンクタタイマーの時間切れを見出したときには、ジャンクタ時間切れ信号 (JT) を発生し、これは、サービスジャンクタタイマー要求 (SJT) を生じさせ、これが中央スイッチロジック 144 で処理されることにより各ジャンクタが落とされる。

メッセージ要求が待ち行列に入れられたときには、FLOW-CONTROL-ON 信号によって流れ制御がオンになる。メッセージ要求が各行き先待ち行列の頭部に達すると、行き先チャンネルがメ

ッセージの再送信に指定される。中央スイッチロジックの 1 番の待ち行列タイマ 156 は、行き先が過剰に長い時間指定された状態にならないよう確保する。ある時間周期の開始は、中央スイッチロジック 144 から受信及び送信制御ロジック 84、92 へ送られる FLOW-CONTROL-OFF 信号によって知らされる。不当に長い時間が経過したときに流れ制御をオフにするために、流れ制御タイマ 157 が送信制御ロジック 92 に接続されている。送信制御ロジック 92 は、更に、流れ制御/データマルチプレクサ 145 へ送られる FLOW-CONTROL 信号を発生する回路を備えている。又、送信制御ロジックは、TRANSMIT ENABLE 信号を発生し、これは、流れ制御/データマルチプレクサ 145 を通って並列/直列コンバータ及びマンチェスタエンコード 146 に送られる。

本発明の重要な特徴によれば、流れ制御/データマルチプレクサ 145 に送られた FLOW-CONTROL 信号は、入ってくるメッセージがジャンクタを経て送信制御ロジック 92 へ送られたときに一時的に禁止される。この入ってくるメッセージ (その前にギャップ又はポーズがある) は、FLOW CONTROL 信号に応じて流れ制御/データマルチプレクサ 145 によって選択されたキャリアに挿入される。それ故、データ処理装置がメッセージの送信を禁止された時間中には、メッセージの受信が許される。更に、このデータ処理装置への流れ制御信号は、入ってくるメッセージの受信及びそれに対応する ACK 又は NAK の送信の後に再開される。

受信及び送信制御ロジックが FLOW-CONTROL 信号を受信しそして流れ制御キャリアが流れ制御/データマルチプレクサ 145 によってオフにされると、予め禁止されているデータ処理装置が待ち行列タイマ 158 によって確立されたある時間範囲内にその希望のメッセージを再送信しなければならない。もしそうでなければ、

メッセージの希望の行き先の待ち行列に対する待ち行列タイマーが時間切れする。中央スイッチロジック 144 は、待ち行列カウンタ 158 及びマルチプレクサ 159 のような回路を含み、これらは、待ち行列タイマ 158 を周期的に操作し、待ち行列タイマーの時間切れを見つけたときに、待ち行列時間切れ信号 (QT) を発生し、これはサービス待ち行列タイマー要求 (SQT) を生じさせる。中央スイッチロジック 144 によって処理されたときには、SQT 要求が各待ち行列の頭部にあるメッセージ要求をその待ち行列から落とさせ、その待ち行列の次の行にあるメッセージ要求が処理されるようになる。

サービス要求を迅速に処理するために、中央ロジック状態メモリ 145 は、その要求を処理するために必要な情報が非常に容易に利用できるように構成される。ルーティング要求が、例えば、予め定められた仮想のスタックアプラーによって許可されるかどうか判断するために、中央ロジック状態メモリは、ROUTE MESSAGE 要求を発生したソースチャンネルの番号を用いてアドレスされる許可ソースセットメモリ 164 を備えており、更に、中央ロジック状態メモリは、行き先チャンネル番号を用いてアドレスされる許可行き先セットメモリ 165 を備えている。これらメモリに記憶される情報の特定の編成及び使い方は、第 10 図及び第 11 図を参照して以下に説明する。

中央スイッチロジック 144 が指定のソース又は行き先チャンネルに各々関連した行き先又はソースチャンネル状態を決定できるようにするために、中央ロジック状態メモリは、RX 状態テーブル 166 と、TX 状態テーブル 167 とを備えている。同様に、各ソースチャンネルに指定されたジャンクタを指示するテーブル 168 と、各行き先チャンネルに指定されたジャンクタを指示す

るテーブル159とが設けられている。サービスジャンクタのタイマー回路に宛ててジャンクタを指定しそしてジャンクタの状態を容易に指示するために、ジャンクタ番号によってアドレスされるジャンクタテーブル170が設けられている。ジャンクタテーブルは、各ジャンクタごとに、そのジャンクタが指定されるかどうか指示し、そしてもしそうならば、ジャンクタが指定されるソース及び行き先を指示する。又、ジャンクタテーブル170は、例えば、保守の目的でジャンクタを指定しておくために使用できる状態入力を用意している。

中央スイッチロジック144がメッセージ要求を行き先待ち行列に迅速に出せるようにするために、中央ロジック状態メモリは、待ち行列の頭部に各ポイントを指定するテーブル172と、待ち行列の後部に各ポイントを指定するテーブル173とを含む別々のテーブルを有している。頭部及び後部テーブル172、173の出力は、行き先待ち行列が記憶されるメモリ174の最下位アドレス入力へマルチプレクスされる。通常、待ち行列メモリ174及び待ち行列ポイントテーブル172、173の最上位アドレス入力は、行き先チャンネルの番号によってアドレスされるが、1つの例においては、以下で述べるように、ソースチャンネル番号によって待ち行列メモリ及びテーブルをアドレスすることが所望される。ソースチャンネル番号又は行き先チャンネル番号の選択は、一対のゲート175、176によって与えられる。同様に、頭部又は後部ポイントは一対のゲート177、178によって選択される。

メッセージ要求を待ち行列に入れたときに、中央スイッチロジック144は、所与の行き先待ち行列に対して一度だけソースチャンネル番号が横わられるように確保することが所望される。所与

のソースチャンネル番号が所与の行き先待ち行列に既に記憶されているかどうかを中央スイッチロジックが迅速に決定できるようにするために、待ち行列入力テーブル179が設けられており、これは、ソース及び行き先チャンネルの各組合せごとに単一ビット入力を含む。例えば、64個のチャンネルを含む好ましい実施例においては、待ち行列入力テーブル179が64×64単一ビットマトリクスとして構成される。メッセージ要求が待ち行列に入れられるたびに、各ビットがセットされ、そしてメッセージ要求が待ち行列から取り出されるたびに各ビットがクリアされる。

第7図は、ハイアレーキの回転伝送回路を示す図であり、これは、受信器及び送信器の制御ロジックから中央スイッチロジックへ送られる同時サービス要求を待機するために効果的に用いられるものである。第7図は、簡単な回路であり、第8図の変形態様が好ましいことを理解すべきである。第7図に示すように、例えば、各チャンネルのインターフェイスボード122'、123'は、各リングチャンネルアービトラータ181'を備えており、これは、チャンネルインターフェイスボードの各チャンネルに関連した各受信ロジック回路4'の特定の1つからサービス要求を選択する。更に、各チャンネルインターフェイスボード122'、123'は、各リングチャンネルアービタ181'をスイッチ制御ボード121'のリングボードアービトラータ184'に接続する各要求ライン183'を有している。リングボードアービタ184'は、リングチャンネルアービタ回路181'の特定の1つから要求を選択し、処理されるべき中央スイッチロジックへの要求を導く。又、リングボードアービトラータは、スイッチ制御バス124'を経て選択されたボードのボード番号を送信し、チャンネルインターフェイスボード122'、123'の各々に設

けられたボード選択デコード185'にそれを加える。ボード選択デコード185'は、リングボードアービトラータ184'によって選択された特定のボード番号を確認し、リングチャンネルアービトラータ181'によって選択されたチャンネル番号を選択ゲート186'、187'、188'をイネーブルする信号を発生する。チャンネルデコード189'及びゲート190'、191'によって更に選択されたときには、選択されたボードの選択されたチャンネルの受信ロジックからの要求コードがスイッチ制御バス124'を経てスイッチ制御ボード121'へ送られる。要求コードは、例えば、特定のサービス要求を識別する要求識別番号と、ルートメッセージ又は待ち行列メッセージサービス要求とに関連した行き先チャンネルを識別する番号とを含んでいる。

第7図のハイアレーキ伝送回路の重要な効果は、スイッチ制御ボード121'のリングボードアービトラータ184'又は他のチャンネルインターフェイスボード122'、123'のリングチャンネルアービトラータ181'に対して変更を行わずに更に別のチャンネルインターフェイスボードを設置できることである。例えば、チャンネルインターフェイスボードが除去されたときには、それに関連した要求ライン183'が低レベルとなり、リングボードアービトラータ184'には要求が送られない。従って、リングボードアービトラータ184'は、コンピュータ相互接続カブラーに設置されたチャンネルインターフェイスボードからの要求を待機するときに欠落ボードを単にスキップするだけである。例えば、第7図に示すように、要求が確認されるたびに、リングボードアービトラータ及び各リングチャンネルアービトラータが次のアクティブな要求に落ちようになれる。特に、要求線

路信号(REQ. ACK.)は、「サービスグラント(許可)」として取扱い、選択されたボードのリングボードアービトラータ184'及びリングチャンネルアービトラータ181'を「クロック」してこれらが次のサービス要求を選択できるようにする。この点において、クロックイネーブル入力(CE)は、完全に同期した入力であって、標準TTLパートNo.74173のデータイネーブル入力に対してアナログ形態で機能するのが好ましい。換言すれば、クロックイネーブル入力(CE)が高レベルであるときに、同期ロジック回路は、ロジック回路のレジスタがたとえクロックされたとしても、選択的なフィードバックにより状態を変えない。

第7図のハイアレーキ優先順位機構に対する別の効果は、全仲親ロジックが比較的簡単でありそして待機ロジックがチャンネルインターフェイスボード122'、123'に対して単に複製されるだけであることである。更に、リングボードアービトラータ184'に対する回路は、リングチャンネルアービトラータ181'に対する回路と実質的に同じである。

第8図を参照すれば、好ましいチャンネルインターフェイスボード122'が詳細に示されており、これは、受信ロジック回路84からの低優先順位の要求を待機するための第2のリングチャンネルアービトラータ201を含んでいる。本発明の重要な特徴によれば、サービス要求は、低優先順位の要求と高優先順位の要求とにグループ分けされ、各優先順位グループ内で要求を待機するために別々のリングアービタが設けられている。例えば、低優先順位のリングチャンネルアービトラータ201に組み合わされているのは、チャンネルデコード202及びゲート203、204であり、これらは、ゲート186、187に関連して動作して、

低優先順位のリングチャンネルアービトラータ201により与えられたチャンネル番号又は高優先順位のリングチャンネルアービトラータ181によって与えられたチャンネル番号のいずれかを選択する。

ライン205の高優先順位サービス要求信号は、ボード選択デコード185がイネーブルされたときにゲート203、204又はゲート186、187のいずれかをイネーブルするためにインバータ206に供給される。換言すれば、ボードからのサービス要求が許可されて高及び低の両方の優先順位要求が存在するときに、中央ボードアービトラータへフィードバックされる要求チャンネルが高優先順位要求のチャンネルとなる。

第8図に更に示すように、低優先順位のリングチャンネルアービトラータからの低優先順位要求は、スイッチ制御ボード121の低優先順位のリングボードアービトラータ207へ送られ、高優先順位のリングチャンネルアービトラータからの高優先順位要求は、これもスイッチ制御ボード121上にある高優先順位リングボードアービトラータ208へ送られる。オアゲート219は、HIGH R EQ ACK信号及びLOW R EQ ACK信号を合成し、チャンネルインターフェイスボード122、123のためのGRANTSERVICE REQUEST信号を発生する。優先順位が許可されたチャンネルのボード選択番号は、2つの3状態ゲート219、220のイネーブルされた一方によって与えられる。ゲート219は、高リングボードアービトラータ208のHIGH R EQ出力によってディスイネーブルされ、ゲート220はこのHIGH R EQ出力によってイネーブルされる。

逆転経路要求及びドロップジャンクタ（ジャンクタを落とす）要求は、高優先順位要求としてグループ分けされ、ルートメッ

ージ及び待ち行列メッセージ要求は低優先順位要求としてグループ分けされるのが好ましい。受信チャンネルロジック84においては、高優先順位要求がオアゲート210によって組み合わされ、低優先順位要求がオアゲート211によって組み合わされる。

第9図には、リングチャンネルアービトラータ181の好ましい構成の概略図である。中央スイッチロジックのリングボードアービトラータ184についても実質的に同じ回路が使用される。リングアービトラータは、最後に優先順位が与えられたチャンネルの番号を記憶するレジスタ221を備えている。次に優先順位が与えられるべきチャンネルは、チャンネル選択ロジック222によって決定される。プログラム可能なロジックアレイを用いることによってこのチャンネル選択ロジックを簡単に実施するために、チャンネル選択ロジックはチャンネルデコード223の出力を受け取り、個々のチャンネル選択出力を発生する。これらはエンコード224へ送られ、そしてこのエンコードは優先順位が与えられるべき次のチャンネルのエンコードされたチャンネル番号を出力する。チャンネル選択ロジック222に対する論理的な式が添付資料1に示されている。デコード223からチャンネル選択信号を受け取るのに加えて、チャンネル選択ロジック222は、その各々のチャンネルインターフェイスボードに関連したチャンネルから個々の要求を受け取る。優先順位が各チャンネルに対して次に与えられるべきであるかどうかを各々指示するチャンネル選択ロジック222の出力は、論理オアゲート225において組み合わされ、いずれかのチャンネルによって要求が与えられたかどうかを指示する。

第10図には、ベン図が230で一般的に示されており、これは、行き先チャンネルの各組に関連した所定の組のソースチャ

ンネルとして仮想スターカブラーの定義を示すものである。第10図に示すように、1組のソースチャンネルは1組の行き先チャンネルに交差する。この場合、チャンネルは交差部において互いに自由に通信する。その他については、チャンネル間のメッセージ通信は、ソースチャンネルから行き先チャンネルへのみ行なわれる。多数のこのようなスターカブラーをコンピュータの相互接続カブラーに対して定めるのが好ましい。いずれの所与のチャンネルも2つ以上の仮想スターカブラーに含まれる。

第11図には、許容ソースセットメモリ164及び許容行き先セットメモリ165における仮想スターカブラーを表わす好ましい方法が示されている。許容ソースセットメモリ164は、チャンネル番号0ないし53によってアドレスされる64バイトを含んでいる。各バイトの各ビット位置は、そのバイトをアドレスするソースチャンネルが各ビット位置に対し仮想スターカブラーに含まれるかどうかを表わすための論理1又は0である。許容行き先セットメモリ165も同様に1組の64バイトとして構成され、バイトの各ビットはそのバイトをアドレスする行き先チャンネル番号が各ビット位置によって表わされた仮想スターカブラーに含まれるかどうかを指示するための論理1又は0である。

指定のソースチャンネルからのメッセージが指定の行き先チャンネルへ送られることが許容されるかどうかを判断するために、許容ソースセットメモリ164の各ビット出力ラインが論理アンドゲート241を用いて許容行き先セットメモリ165の各ビット出力と論理アンドされる。それ故、各ゲートは、コンピュータ相互接続カブラーに対して定めることのできる8個の仮想カブラーの各々に対し指定のソース及び行き先が各ソースチャンネルセット及び行き先チャンネルセットに算出されるかどうかを指示す

る出力を発生する。メッセージは8個の仮想スターカブラーのいずれか1つを通してルーティングすることが許された場合にルーティングされねばならないので、アンドゲート241の出力は論理オアゲート242で組み合わされ、メッセージのルーティングを可能にする信号を発生する。

例えば、許容ソースセットメモリ164及び許容行き先セットメモリ165のプログラミングが第11図に示されており、これは、仮想スターカブラーがメッセージを受信するのみの設置、メッセージを送信するのみの設置及び少数の選択されたチャンネルグループ間でメッセージを交換する設置を許容する特定のケースを示すものである。0ビット位置に対して定められた仮想スターカブラーは、許容ソースセットメモリ164の全てのソースチャンネルに対する論理1を含むが、0の行き先チャンネル番号に対する0ビット位置のみにおける論理1を有する。それ故、0ビット位置に対して定められた仮想スターカブラーは、チャンネル0に接続されたデータ処理設置がデータの受信にのみ使用できるようにする。

第2ビット位置によって定められた仮想スターカブラーは、ソースチャンネル1及び2と行き先チャンネル1及び2に対してのみ論理1を有する。それ故、この仮想スターカブラーは、チャンネル1と2をそれらの間のいずれかの方向にデータ交換するように互いに接続する。この形式の仮想スターカブラーは、それらの各々のアクセスワードをバランスするために各記憶スーパーに対して定めることができる。又、この形式の仮想スターカブラーは、中央プロセッサのリソースを1つの接続されたプロセッサグループから別のグループへ柔軟に位置設定又は論理的に移動できるように定めることができる。ビット2位置に関連した仮想スターカ

プラーは、ソースチャンネル3に対してのみ論理1を含むが、全ての行き先チャンネルに対して論理1を発生する。それ故、ビット2に開通したこの既読ステータスプラーは、ソースチャンネル3に接続されたデータ処理装置を、他のデータ処理装置へデータを送信できるもののみとして定める。

第12図には、メッセージ及び確認のための好ましいフォーマットが示されている。メッセージ及び確認は非同期で送信され、メッセージを送信するチャンネルからキャリアが存在しないインターバルによって分離される。各メッセージは、ビット同期を容易にする目的で値55(16進)を有するヘッダと、フレーム同期のための値96(16進)を有する文字同期ビットと、メッセージ或いは正又は負の確認(ACK/NACK)が受信されるかどうかを示すバイトと、メッセージの長さを指示するバイトと、所望の行き先チャンネル番号を指示するバイトと、所望の行き先チャンネル番号の補数を指示するバイト、メッセージのソースチャンネルを指示するバイトと、メッセージの長さによって予め指定されたデータバイトの数と、繰り返し冗長チェック(CRC)と、値FF(16進)を有するトレーラとを順次含んでいる。正及び負の確認(ACK/NACK)のフォーマットは、第12図に示す形態と同様であるが、この場合には、メッセージの長さを示すバイトが除去されてデータも除去されていることに注意されたい。

第13図は、第12図に示すメッセージフォーマットに基づいてメッセージを最初に検出するための受信ロジックの概略図である。データ処理装置から送られたメッセージは、参考としてここに取り上げるスタート氏の米国特許第4,592,972号に詳細に説明されたように、マンチェスタデコード251及びキャリア検出

部252に受け取られる。第13図のメッセージデコードは、フリップフロップ253により決定される2つの主状態の1つにある。メッセージデコードは、NEW MESSAGE REQ信号に応じてリセットされたとき及びキャリアがキャリア検出部252によって検出されなかったときにアイドル状態に入る。このため、フリップフロップ253はキャリアの存在によってセットされ、キャリアが存在しない場合に、フリップフロップ254、インバータ255及びゲート256によってリセットされる。

第13図のメッセージデコードがアイドル状態を出て、キャリアの存在中でビジーになったときには、マンチェスタデコード251からの直列形態のデコードされたデータが直列/並列コンバータレジスタ257へクロックされる。データがこの直列/並列コンバータ257へクロックされるときには、ヘッダのタイムインターバルが監視される一方、メッセージデコードが96(16進)の文字同期値を待機する。この文字同期の存在は、デコード258によって検出される。この同期文字が検出される前にキャリアが消えるか又はヘッダの時間切りインターバルが経過した場合には、ヘッダ時間切れフラグがフリップフロップ259によって推導される。タイミングインターバルはカウンタ260によって決定され、このカウンタは、メッセージデコードがアイドル状態のとき、同期文字が検出されたとき又はヘッダの時間切れフラグがセットされたときに、クリアゲート261によってリセットされる。このヘッダ時間切れインターバル中にキャリアが失われることは、アンドゲート262によって検出され、ヘッダ時間切れフラグをセットする2つの状態はクリアゲート263において合成される。

メッセージデコードがビジーになった後に同期文字が見つかったときメッセージの存在を信号するために、アンドゲート264がフリップフロップ265をセットする。このフリップフロップがセットされると、3ビット2進カウンタ266は、直列/並列コンバータレジスタ257に現われるバイトのためのクロックを発生するためにカウンタを開始する。フレーム同期バイトは、カウンタ266が7の値に達したことがアンドゲート268によって検出されると、出力レジスタ267へストロープされる。フレーム同期コードも出力レジスタ267に受け取られるようにするために、クリアゲート269はNEXT BYTE信号をアンドゲート270の出力と合成し、出力レジスタ267に対するクロックインエーブル信号を発生する。出力レジスタ267から現われるバイトのためのバイトクロックは、3ビット2進カウンタ266の出力Q2によって与えられる。出力レジスタ267からのデータを内部クロックと同期するために、一対のゲート271、272及びフリップフロップ273を用いて、クオドラチャバイトクロックが発生され、これは、3ビット2進カウンタ266の出力Q2に対して進められる。

入ってくるメッセージを処理するために、メッセージデコードをハンドシェイクモードで動作して、メッセージデコードがNEW MESSAGE REQを受け取った後のみメッセージを確認するようにし、1つのメッセージを完全に処理してから別のメッセージがデコードによって確認されるようにする。このため、メッセージの終りがフリップフロップ274によって検出され、このフリップフロップは、フリップフロップ265がセットされそしてキャリアが失われたことがアンドゲート275によって検出されたときにセットされる。それ故、フリップフロ

ップ274は、INCOMING MESSAGE COMPLETE 信号を発生する。アンドゲート276は、フリップフロップ265のQ出力をフリップフロップ274のQ補数出力と合成し、メッセージ発生中に高レベルとなるMESSAGE 信号を発生する。

本発明のコンピュータ相互接続制御の動作中のある時間に入ってくるメッセージのメッセージデコードを禁止又はクリアすることが所望される。これは、例えば、チャンネル送信器が作動されたときに行なわれて、それと同時に入ってくるメッセージが終了したときにこれがフラグをセットしないようにする。このために、メッセージデコードは、CLEAR MESSAGE 信号を受け取るクリアゲート277を含み、この信号は、フリップフロップ273をセットし、これにより、CLEAR MESSAGE 信号が除去されてその後キャリアが存在しなくなるまで、MESSAGE 信号を強制的に低レベルにする。

次に第14図を参照して、ここにはチャンネル受信ロジックのためのメッセージ・シンクロナイザおよびサイクル・カウンタの概略図が示してある。受信データ・バイトを内部バイト・クロック281と同期させるために、一対のレジスタ282、283が提供されており、これらのレジスタはインバータ284で与えられるようなバイト・クロックの180度位相差で刻時される。最大許容メッセージ長に相当する或る限られた持続時間を有するメッセージの場合、これら2つのレジスタ282、283のうちの1つのレジスタの出力が2つのゲート285、286のうちの対応したゲートによって選択されて内部バイト・クロック281に同期したデータを与えることができる。これら2つのゲートのうちどれを使用可能とすべきかを決めるために、内部バイト・クロック281によって刻時されるフリップフロップ287が第13図

のメッセージ・デコードからの直角位相分岐んだバイト・クロックをサンプリングする。さらに、この決定は、MESSAGE 信号が存在しないときのみ遅延フリップフロップ287を使用可能とすることによってメッセージの持続時間の間保持される。フリップフロップ287に対してクロックを使用禁止とするのに必要な遅延は遅延フリップフロップ288が与える。バイトを内部バイト・クロックに精密に同期させるために、内部バイト・クロック281によって調時される出力レジスタ289が設けられている。受信メッセージからのバイトをフリップフロップ289によって与えられたバイトが変わっているときにそれを示すINTERNAL MESSAGE信号を遅延フリップフロップ290が与える。

第12図のメッセージ・フォーマットにおける個々のバイトを識別するために、それぞれのバイトが出力レジスタ289の出力として出現したときにシフト・レジスタ・サイクル・カウンタ291が対応したストローブ信号を発生する。このシフト・レジスタ・サイクル・カウンタはINTERNAL MESSAGE信号のリーディングエッジを検出するANDゲート292によって与えられた初期パルスを受け取る。同様に、INTERNAL MESSAGE信号のトレーリングエッジでEND MESSAGE信号をANDゲート293が発生する。

ここで、第12図のフォーマットがメッセージのためのフォーマットであり、復帰肯定応答コードのためのフォーマットも長さバイトがないことを除いて同様のものであることを思い出されたい。サイクル・シフト・カウンタ291がメッセージおよび肯定応答のためのバイトを復号するのに使用できるようにすべく、具体的に294で示すマルチプレクサが設けられており、これは肯定応答がチャンネル受信機ロジックで予想されるときにDRT、

DEST補数、SOURCEストローブ信号に対するストローブ・パルスの位置をシフトする。

第14図には、第13図のメッセージ・デコードにハンドシェーク・メッセージ相定信号を与えるロジックも示してある。メッセージ処理の終りで通常はフリップフロップ295がNEW MESSAGE REQUEST 信号を発生する。システムRESET信号にตอบสนองするか、あるいは、チャンネル送信機が使用中であるときには、任意の現行メッセージが消去され、新しいメッセージがリクエストされなければならない。このために、ORゲート296がシステムRESET信号とTX BUSY信号とを組合わせてチャンネル受信機へのCLEAR MESSAGE 信号を発生する。また、第2のORゲート297がこのCLEAR MESSAGE 信号をフリップフロップ295の出力と組合わせてNEW MESSAGE REQUEST 信号を発生し、この信号が第13図のチャンネル受信機に與えられる。また別のORゲート298が用いられてCLEAR MESSAGE 信号をANDゲート292の出力と組合わせてチャンネル受信機ロジックのためのINT信号を発生する。その結果、チャンネル受信機ロジックは、チャンネル送信機が使用中であるか、あるいは、システムRESETが発生したときにはいつでも、もしくは、検出されたメッセージが出力レジスタ289の出力部に現われる直前にリセット状態になる。

次に第15図を参照して、ここには、メッセージ・リクエストを発生し、メッセージ処理を終了させるチャンネル受信機ロジックの回路図が示してある。一般的には、チャンネル受信機ロジックは行き先および行先メッセージが互いに一致したとき、メッセージのソース数が物理的なチャンネル数に一致したとき、メッセージのタイプが予想タイプと一致しかつ予想タイプがACKまた

はNAKコードでないときにルート・メッセージ・リクエストを発生する。

行き先が行き先補数に一致しているかどうかをチェックするために、行き先はレジスタ301にストローブされる。2入力・専用ORゲート302と8入力ANDゲート303とからなるバンクがレジスタ301にストローブされた行き先を受信メッセージ内のデータ・バイトと比較する。DEST期間中に比較がなされたかどうかをフリップフロップ304がチェックする。さらに、フリップフロップ305が用いられ、行き先と行き先補数が互いに一致しない場合には行き先不一致フラグを診断プロセッサに送る。同様にして、データ・バイトはソース・コンパレータによって点検される。このソース・コンパレータは一通の専用ORゲート307とANDゲート308とを包含する。このANDゲート308はSOURCEストローブも受け取り、メッセージ内のソース数がチャンネル受信機のチャンネル数と一致するときにイネーブル信号を発生するインバータ209に信号を送る。さらに、フリップフロップ310が診断プロセッサにソース不一致フラグを送る。このようなフラグは、たとえば、通信ケーブルが壊れた特定のデータ処理ユニットからコンピュータ相互接続カブラの切り当てチャンネルにミスルートしていることを示すことがある。

メッセージまたはコードのタイプを感知する目的で、データ・バイトはACKデコード311およびNAKデコード312に送られ、これらデコードの出力はORゲート313によって組み合わされてそのメッセージがACKコードであるかNAKコードであるかどうかを示す。

チャンネル受信機ロジックがACKコードあるいはNAKコードのいずれかが予想されるかを決めるために、フリップフロップ

314がシステム・リセット信号、受信機に割り当てられたジャンクタの解除信号、そして、予想肯定応答タイム150の満了信号によってリセットされる。これらの信号の必要な組合わせはORゲート315によって与えられる。予想肯定応答タイム150は、好ましくは、感る肯定応答の復帰送信のためにジャンクタが予約される時間を測定する。したがって、予想肯定応答タイム315は、肯定応答が予想されるとき、ジャンクタがチャンネル受信機に加えられるときで始まり、復帰肯定応答またはメッセージのタイプが決定され得るときまで続けてカウントを行わなければならない。したがって、予想肯定応答タイム150を弱断するために、フリップフロップ317が設けられており、これは肯定応答が予想されるとなでジャンクタがチャンネル受信機に加えられるときにANDゲート318によってセットされ、肯定応答が予想されないかあるいはTYPEストローブが生じたときにORゲート319によってリセットされる。

誤ったタイプのメッセージまたは肯定応答を拒絶するために、専用ORゲート320がフリップフロップ314からの予想タイプをORゲート313によって示される受信タイプと比較する。専用ORゲートの出力はTYPEストローブによって使用可能とされたANDゲート321に送られて、メッセージのタイプが予想タイプと一致していないときにはフリップフロップ322をセットする。さらに、ANDゲート321はフリップフロップ323をセットして誤ったタイプのメッセージまたは肯定応答が受け取られたということを示すフラグを診断プロセッサに送る。

メッセージを送送するリクエストはANDゲート324およびフリップフロップ325によって発生させられる。メッセージの行き先と行き先補数が一致しているときには、メッセージは肯定

応答コードでない適正なタイプを有し、メッセージのソース数がチャンネル受信機の物理的なチャンネル数と一致する。フリップフロップ325がセットされると、メッセージ経路指定タイマ154も使用可能とされる。ジャンクタがチャンネル受信機に加えられたとき、または、チャンネル受信機がメッセージ受信開始時に初期化されたとき、あるいは、メッセージの経路指定がフリップフロップ325によってリクエストされており、メッセージ経路指定タイマ154がタイムアウトしたときにORゲート326によってフリップフロップ325がリセットされる。この最後の論理積はANDゲート327によって決定される。したがって、このANDゲート327は、先入れ先出しバッファ(第4図の143)がオーバーフロー無しに少なくともメッセージの開始部分を確実に記憶するように選ばれた或る所定の時間限度内で中央スイッチ・ロジックがルート・メッセージ・リクエストに応答し損なったことを示すMESSAGE ROUTING TIMEOUT 信号を発生する。

ここで、中央スイッチ・ロジック(第4図の144)が行き先送信機または受信機が使用中であるかあるいはアイドル・ジャンクタが利用できないためにメッセージを経路指定できない場合、この中央スイッチ・ロジックが行き先キューにメッセージ・リクエストを置き、チャンネル受信機、送信機にFLOW-CONTROL-ONを送ることになる。このとき、フリップフロップ325はINIT信号によってリセット状態となる。

第15図にはORゲート328も示してあり、このORゲートはEND MESSAGE PROC. 信号をメッセージ処理の終了時に発生する。行き先不一致、ソース不一致、誤ったタイプのメッセージまたは肯定応答の受信、肯定応答タイムアウト、メッセージ長が或る所定の最大メッセージ長を超える場合、チャンネル受信

機からドロップしたジャンクタ・メッセージのキューイングの終了のいずれかがあるときにメッセージ処理は終了する。メッセージが或る最大メッセージ長を超えたかどうかを知るために、最大メッセージ長カウンタ151がインバート329によって示すように、メッセージのないときにプリセット・カウンタ数に保持され、メッセージ中にタイムアウトが生じると、フリップフロップ330がセット状態になる。このときにANDゲート331がフリップフロップ322もセットし、メッセージが長すぎることを示すフラグを診断プロセッサに送る。ANDゲート331はフラグ・フリップフロップ332がメッセージあたり一回以下にセットされることを保証する。

次に第16図を参照して、ここにはメッセージ・キューイングのためのチャンネル受信機・送信機ロジックが概略図で示してある。第15図からのMESSAGE ROUTING TIMEOUT 信号がフリップフロップ341をセットし、これは中央スイッチ・ロジックにキュー・メッセージ・要求を送る。また、MESSAGE ROUTING TIMEOUT 信号は要求肯定応答タイマ342をセットする。ANDゲート343で検出されるようにこのタイマがキュー・メッセージ・要求の満了化の前に満了すると、フリップフロップ344はセット状態になり、診断プロセッサにキュー・要求・エラーを知らせる。キュー・メッセージ・要求を発生するフリップフロップ341はINIT信号によって、キュー・要求・エラーの発生時のANDゲート343によって、あるいは、通常では、中央スイッチ・ロジックからのFLOW-CONTROL-ON信号によってリセットされる。これらの状態の組合わせはORゲート345によって与えられる。キューイングの終了は、キュー・要求・エラーが発生するかあるいはフロー・コントロールがオンになったときに

はいつでも別のORゲート346によって示される。

送信機のためのフロー・コントロールの状態はフリップフロップ347によって示される。このフリップフロップは中央スイッチ・ロジックからのFLOW-CONTROL-ON信号によってセットされ、システムRESET信号によつてか、中央スイッチ・ロジックからのFLOW-CONTROL-OFF指令によつてか、あるいは、フロー・コントロールがオンであつてフロー・コントロール・タイマ157の満了時にリセットされる。必要な論理積および論理和はANDゲート348およびORゲート349によって行われる。フロー・コントロールがオンでフロー・コントロール・タイマ157が満了すると、フリップフロップ349がセットされ、診断プロセッサにフロー・コントロール・タイムアウト・フラグを送る。

フロー・コントロール・フリップフロップ347がセットされた場合、あるいは、ジャンクタがチャンネル送信機に割り当てられ、チャンネル受信機に割り当てられない場合には、チャンネル送信機が使用中と想定される。これらの状態はインバート350、ANDゲート351およびORゲート352によって解消される。上述したように、チャンネル受信機はチャンネル送信機が使用中と認められるときには抑止される。しかしながら、ANDゲート353によって検出されるようにジャンクタがチャンネル送信機、受信機の双方に割り当てられたときに生じるメインテナンス・モードではこれらのチャンネル送信機、受信機は同時に作動できる。

データ制御装置によって送られてくる任意のキャリアが終了するまでデータ処理装置へのフロー・コントロール・キャリアの送達を遅延させると望ましい。特に、データ処理装置の送るキャリアが増減するときとフロー・コントロール・キャリアがオンにな

るときの間に約5クロック・サイクルの停止があると望ましい。したがって、FLOW CONTROL XMIT信号がフリップフロップ354によって発生させられ、このフリップフロップはフロー・コントロールがないときにリセットされ、チャンネル受信機の検出するキャリアが消滅した後5クロック・サイクルでセットされる。フリップフロップ354にとつて必要なセット・リセット条件は3ビット二進カウンタ355、ANDゲート356およびインバート357によって決定される。

次に第17図を参照して、ここには先入れ先出しバッファ143のための、スイッチ・マトリックスにインターフェースするチャンネル受信機ロジックが示してある。チャンネル受信機が肯定応答を予測していないとき、ジャンクタがチャンネル受信機に割り当てられるとすぐに、それがインバート361およびANDゲート362によって検出されて上方はスイッチ・マトリックスに送られる。肯定応答が予測される場合には、ジャンクタがチャンネル受信機に割り当てられ、復帰肯定応答を受け取られたときにスイッチ・マトリックスへの送達が始まる。これらの状態はANDゲート363によって検出され、ORゲート364によって転送信号が与えられる。まず、タグがスイッチ・マトリックスに送られる。たとえば、ジャンクタの識別番号がチャンネル受信機に割り当てられる。タグの送達後、バッファ143からデータが送られてくる。タグの転送時間は遅延レジスタすなわちフリップフロップ365とANDゲート366によって決定される。このタグまたはバッファのデータ出力のいずれかがスイッチ・マトリックスへの転送のために多重化ゲート367、368によって選ばれる。バッファが空になったときにバッファからのデータ伝送中にANDゲート369によって発生したEND BUFFER COMMIT

信号によって転送の終了が示される。

タグおよびバッファ143からのデータ・バイトに加えて、ジャンクタ上のパリティビットおよび有効データビットが送られる。このパリティビットはパリティ・エンコーダ378によって発生させられる。有効データ信号はタグが送られるときとはいつでも、あるいは、バッファが送信中に空でないときに発生させられる。これらの論理状態はインバータ371、ANDゲート372およびORゲート373によって解読される。

次に第18図を参照して、ここには除断スイッチ・マトリックス98とその制御回路が概略図で示してある。或るジャンクタがチャンネル受信機あるいはチャンネル送信機に割り当てられたかどうかを示す信号を起點デコード381、行き先デコード382およびラッチ383、384が発生し、そのとき、ジャンクタの識別番号が割り当てられる。同様のデコードおよびラッチが他のチャンネル送信機および受信機によって使用される。ジャンクタ制御バス38がソース受信機、行き先送信機およびジャンクタ制御バスを通して指令パルスが送られるときに割り当てられるべきあるいはドロップされるべきジャンクタを指定するための数値のラインを包含する。一本のラインはその指令パルスがジャンクタ割り当て動作あるいはジャンクタ・ドロッピング動作と組み合わせられているかどうかを指定する。ジャンクタ制御バスは割り当てられたジャンクタのすべてを同時にドロップさせるリセット・ラインを包含する。

ジャンクタを割り当てるかドロップさせるために、指令パルスはラッチ383、384を割時計しており、これらのラッチは、それぞれ、割り当てられたジャンクタの識別番号と割り当て/解除・ラインのストローブパルスを記憶してジャンクタが割り当てられた

のか解除させられたのかを示す出力ビットを発生する。ラッチ383、384のそれぞれにはデコード385、386が組合せてある。各デコードのセレクト入力部はラッチされたジャンクタ識別コードを受け取る。各デコードはジャンクタが割り当てられたかどうかを示すビットを受け取る出力イネーブル入力部も有する。したがって、デコードの出力部は各ジャンクタへの接続を可能とするセレクト信号を発生する。ジャンクタ・バスから送られ、受け取られることになっているデータは一組のゲート387によって或る選定されたジャンクタに多重化され、一組のゲート388によって多重解除される。

第18図からわかるように、単方向ゲートを用いてジャンクタへの、そして、ジャンクタからのデータを多重化しようとしている場合、ゲートの相互接続が異なっていなければならない。しかしながら、本発明者等は、これが必ずしも真実でないという驚くべき発見をした。事実、ANDゲートの2つのレベルを用いてジャンクタへの、そして、ジャンクタからの多重化、多重解除の両方を行うマルチプレクサ・アレイを構成することができる。

次いで第19図を参照して、ここにはジャンクタ・バスにチャンネル受信機をインターフェース接続するための、全体的に361で示すスイッチ・マトリックス用の好ましい回路が示してある。本発明の一特徴によれば、チャンネル・インターフェース・ボード(第3図で122、123)がボード・デコードの再プログラミングを必要とすることなく自由に交替できる。代わりに、カード・ケージの種々のスロットがスロット番号を示すように配線された一組の端子コネクタを包含する。したがって、回路板を或る特定のスロットに挿入したときに、スロット番号がボードに通じる一組の入力ラインに現われる。ボード選択はANDゲート393

に組み合わされた出力部を有する一組の専用ORゲート392によって行われる。こうして、ANDゲート393がボード・セレクト信号を発生する。このボード・セレクト信号はジャンクタ・セクタ394の出力部を使用可能とするのに用いられる。このジャンクタ・セクタ394はレジスタ395のクロックを使用可能とするのに用いられる個々の出力部を有する。このレジスタ395はジャンクタ制御バスのソース・セレクト・ラインからチャンネル番号を受け取り、また、ジャンクタ制御バスから割り当て/解除ラインを受け取る。レジスタ395の出力はデコード396の入力部に送られ、このデコードは全体的に397で示すNAND多重化ゲートの第1レベルを使用可能とする個々の出力を発生する。ゲートの第1レベルの出力は全体的に398で示されるNANDゲートの第2レベルによって組み合わされる。ゲート398の第2レベルはレジスタ394にラッチされた割り当て/解除信号によって3状態化される。3状態ゲート397を使用する代わりに、オープン・コレクタ・ゲートを用いてジャンクタに沿ってワイヤードOR論理機能を行ってもよい。

次に第20図を参照して、ここにはチャンネル送信機のためのスイッチ・マトリックス399が概略図で示してある。ここで明らかに、第19図に示すものと同じ回路要素が使用でき、ここで必要とされるのは、ジャンクタ・セレクト・ラインをチャンネル番号セレクト・ラインと一緒に切り換えられ、ジャンクタがNANDゲート398の第2レベルの出力部の代わりにNANDゲート397の第1レベルの入力部に送られるということである。この場合、ジャンクタの数が個々のチャンネル・インターフェース・ボード上のチャンネルの数に等しいということの注記されたい。第19図の構成要素と同じである、第20図で用いられ

る構成要素は同じ参照番号で示してあり、類似した構成要素は同じ参照番号にダッシュ記号を付けて示してある。

次に第21図を参照して、ここにはジャンクタ解除要求およびジャンクタ反転要求を示すチャンネル受信機ロジックを概略図で示す。ANDゲート401によって解決されるように、チャンネル受信機が或るジャンクタに割り当てられ、新しいメッセージ・要求・ペンディングがあり、肯定応答が予想されない場合には、スタック・ジャンクタが先に検出されている場合を除いて、ジャンクタ解除要求が開始される。また、ゲート402によって検出されるように、或るジャンクタがチャンネル受信機に割り当てられ、肯定応答が予想され、FIFOバッファからの送信が終了した場合には、スタック・ジャンクタが先に検出されている場合を除いて、ジャンクタ解除要求が開始される。ゲート401、402の出力はORゲート403で組み合わされ、ジャンクタ解除要求を示すフリップフロップ404をセットするのに用いられる。ゲート405で解決されるように、肯定応答が予想されない場合、スタック・ジャンクタが先に検出されている場合を除いて、FIFOバッファからの送信の終了時にジャンクタ反転要求が開始される。ゲート405はジャンクタ反転要求を示すフリップフロップ406をセットする。

或る期間内にジャンクタの解除あるいは反転がない場合、それは要求肯定応答タイム155によって感知される。このタイムはORゲート407、408、インバータ409およびANDゲート410によって検出されるように或るジャンクタ解除要求またはジャンクタ反転要求が開始されたときとはいつでもプリセットされる。要求肯定応答タイム155がタイムアウトし、ジャンクタ解除要求またはジャンクタ反転要求が行われているときにスタ

ック・ジャンクタが示される。この状態はANDゲート411によって解消される。スタック・ジャンクタの発生時、フリップフロップ412がセットされ、診断プロセスにスタック・ジャンクタ・フラグを送る。このフリップフロップ412はリクエスト停止信号も発生し、これはNANDゲート413を経てフリップフロップ404を抑制し、NANDゲート414、415およびインバータ418を経てフリップフロップ406も抑制する。

診断プロセスにスタック・ジャンクタの識別番号を知らせるために、ゲート411からのスタック・ジャンクタ信号に反応してロードされるレジスタ417が設けられている。

次に第23図を参照して、ここにはジャンクタをチャンネル受信機に割り当てられた変化を検出するロジックが示してある。このロジックはチャンネル受信機ジャンクタ割り当て信号をサンプリングする遅延フリップフロップ421と、インバータ422と、ANDゲート423、424とを包含する。

次に第23図を参照して、ここにはチャンネル送信機のロジックを概略図で示してある。第24図のスイッチ・マトリックス399からのバイト、パリティ信号および有効データ信号はそれぞれのレジスタおよびフリップフロップ431、432、433に割当てられる。ラッチされた有効データ信号はANDゲート434においてチャンネル送信機ジャンクタ割り当て信号と組み合わせられて送信開始を知らせる。初期パルスが遅延フリップフロップ435およびANDゲート436によって与えられる。この初期パルスはシフト・レジスタ437のシリアル入力部に送られて割り当てられたジャンクタを介して送られるメッセージの開始時に種々のデータ・バイトのためのストロブ信号を発生させる。チャンネル送信機ロジックのためのリセット信号はインバータ438

およびORゲート439によって与えられ、システム・リセットが施されたとき、そして、有効データがチャンネル送信機に割り当てられたジャンクタから中絶を受け取れなくなったときにはいつでも送信機回路はリセットされる。

割り当てられたジャンクタからのデータ・バイトのパリティはパリティ・エラー・デコード440によってチェックされる。NANDゲート441はデータが有効であると想定されるときにパリティ・エラーが生じたかどうかをチェックし、エラーが生じたときには、フリップフロップ442がパリティ・エラー・フラグをセットし、これが診断プロセスに送られる。

メッセージのタグにおけるジャンクタ識別番号が実際にチャンネル送信機に割り当てられたジャンクタの識別番号と一致し続けた場合にデータ送信を抑制するために、一組の専用ORゲート213、NANDゲート244およびANDゲート245が或る信号を発生する。このとき、フリップフロップ246がフラグをセットし、このフラグが診断プロセスに送られる。

チャンネル受信機が肯定応答を予測すべきかどうかを決定するために、NARデコード247およびACKデコード248の出力がANDゲート249において組み合わせられ、ジャンクタからのバイトが正または負の肯定応答コードを含んでいるかどうかを示す信号を発生する。チャンネル受信機はそれに対応したチャンネル送信機が肯定応答コードなしに先にメッセージを送ったときに肯定コードを予測するので、シフト・レジスタ・サイクル・カウンタ437は出力マルチプレクサ450を有し、受信機が肯定応答コードを予測するときこの出力マルチプレクサ450がメッセージのためのストロブ信号を選択する。

行き先バイトがチャンネル送信機のチャンネル番号と一致した

いときに送信を抑制するために、行き先デコード451が設けてあり、そのレベル出力はANDゲート452においてTX-RBSTストロブ信号でゲート制御され、この行き先バイトをチャンネル送信機の実際のチャンネル番号と比較する。ANDゲート452の出力はフリップフロップ453をセットして行き先エラー・フラグを発生させ、これが診断プロセスに送られる。

行き先エラーのあった場合、メッセージまたは肯定応答のごく始めの部分でも送信を阻止すると望ましい。この目的のために、行き先コードがチェックされ得るまで肯定応答またはメッセージの冒頭部分を一時的に記憶する必要がある。そのために、5バイト先入れ先出しレジスタ454が設けられている。このレジスタはバイト内の8ビット毎に1つの5ビット・シリアル・シフト・レジスタを有する。

メッセージまたは肯定応答が誤ったジャンクタからきたか、あるいは、誤った行き先を示している場合に送信を禁止する信号を発生させるために、フリップフロップ455がTX-RBSTによってセットされ、NORゲート456で示されるように、ジャンクタ・エラーまたは行き先エラーのいずれかが発生したときにリセットされる。さらに、送信の開始時刻を知るために、別のフリップフロップ457が設けてあり、これはTX-RBST信号によってリセットされ、PRB-XMIT信号によってセットされる。したがって、送信は、常に、PRB-XMITストロブの後のサイクルと共に開始する。このサイクル(CAR-XMITストロブで示してある)の間、55・16進同期コード458がメッセージまたは肯定応答のジャンクタ識別番号の所定位置に両挿入される。そのために、一対の多重化ゲート459、460が設けられている。ゲート460はフリップフロップ455、

457の出力を組合わせるANDゲート461によって使用可能とされる。

本発明の重要な特徴によれば、受け入れメッセージは行き先データ処理装置に送られるフロー・コントロール・キャリア信号に挿入され得る。しかしながら、この場合、メッセージまたは肯定応答の前の或る期間にわたってフロー・コントロール・キャリアが存在しない休止状態を挿入するのが望ましい。さらに、メッセージまたは肯定応答の送信の終了時、このときまだフロー・コントロールがある場合にメッセージの後に休止状態を挿入すると望ましい。この休止状態の間、たとえば、データ処理装置が肯定応答をメッセージに送ることができる。

このような場合にフロー・コントロール・キャリアを抑制するために、ANDゲート462が設けてあり、これは送信機が使用中のときとか、TX-RBST信号がローであるときとか、あるいは、全体的に463で示す第1タイマまたは全体的に464で示す第2タイマがロー・ロジック信号を発生したときとかに使用禁止とされる。第1タイマ463は肯定応答が予測されるときにその後5クロック・サイクルにわたってロー・ロジック信号を発生する。第2タイマ464はメッセージ・コードまたは肯定応答コードが実際に送られてきたときにその後5クロック・サイクルにわたってロー・ロジック信号を発生する。タイマ463、464は、各々、3ビット二進カウンタ465、466とANDゲート467、468とを包含する。ORゲート469がCAR-XMIT信号をゲート462の出力と組合わせてゲート459を使用可能とし、キャリアを送信する。ORゲート470がイネーブル信号を多重化ゲート459、460に組み込み、メッセージのヘッダあるいはデータ送信中のいずれかで実際のデータ送信

を可能とする信号を発生させる。

マンチェスタ(Manchester)エンコード147内の並列・直列変換器は並列ロード・シフト・レジスタ471と専用ORゲート472とを包含し、この専用ORゲートはシフト・レジスタ471のシリアル・データ出力をシフト・クロックで変換する。このシフト・クロックは内部バイト・クロックの周波数の8倍の周波数で動作するマスク・クロック473によって与えられる。内部バイト・クロック281はマスク・クロックによって刻時される3ビット二進カウンタによって与えられる。バイト・クロックはカウンタ281のQ。出力極から得られる。並列イネーブル入力にシフト・レジスタ471に与えるべく、カウンタ281の出力Q₀、Q₁、Q₂はANDゲート473によって組み合わせられる。フロー・コントロールがオフのときでメッセージまたは肯定応答が送られていないときにキャリアの送信を抑制するために、ORゲート474の出力はゲーティング信号としてANDゲート474に送られ、このANDゲート474が専用ORゲート472の出力をゲート制御する。

次に第24図を参照して、ここにはチャンネル・インターフェース・ボードからの要求に応答する中央スイッチ・ロジックが概略図で示してある。このロジックは、第7、8、9図に関連して上述したように、それぞれの高優先リング・ボード・アービトライトからの低い優先順位の要求情報と高い優先順位の要求情報を受け取る。

処理すべきリクエストを受け取るために、中央スイッチ・ロジックは入力レジスタ491を包含する。この入力レジスタ491は高い優先順位の要求が存在する場合に高い優先順位の要求情報を受け取るが、さもなくば、任意の低い優先順位の要求情報を

受け取る。高低の優先順位の要求情報の多重化が一対のゲート492、493およびインバータ494によって行われる。入力レジスタ491は高い優先順位の要求が存在するかどうかを示す信号、低い優先順位の要求が存在するかどうかを示す信号、タイムアウトがジャンク・タイム161で生じたかどうかを示す信号、タイムアウトがキュー・タイム156から生じたかどうかを示す信号QTを受け取る。入力レジスタ491は診断プロセスからのロー主張割り込み入力を受け取る。

この割り込み入力がローを主張している場合を除いて、新しい要求が入力レジスタ491にストロープされたとき、サイクル・シフト・カウンタ396がカウントを開始する。このサイクル・シフト・カウンタは復号出力P0、P1、P2等を与える。これらの出力は組合わせロジック497に送られる。また、この組合わせロジックには、要求優先順位・デコード498から個別に復号された信号も送られる。これらの信号には、サービス・ジャンク・タイム・要求(SJT)、送バス・要求(RP)、ドロップ・ジャンク・要求(DJ)、ルート・メッセージ・要求(RM)、キュー・メッセージ・要求(QM)、サービス・キュー・タイム・要求(SQT)を示す信号が含まれる。

入力レジスタ491内に保持された割り込み信号の値はイネーブル信号(ENA)を与え、このイネーブル信号は全体的に499で示す双方向ゲーティング回路を用いて診断制御バス128を中央ロジック状況メモリ153内に多重化する。

サイクル・シフト・カウンタ496はP0、P1等から連続的にカウントを行い、最終的には、多くの処理信号の終端の1つがリクエストの処理が終了したことを示す。処理信号の終端はORゲート500に送られ、このORゲートはシステムTSET信

号を受け取る。ORゲート500の出力はサイクル・シフト・カウンタを初期値1でリセットさせ、入力レジスタ491の刻時動作を可能とさせて入力レジスタが新しいリクエストを受け取れるようにする。さらに、入力レジスタ491はリクエストがまったく入力レジスタにストロープされない場合に新しいリクエストを受け取れるようにされる。これらの状態はNORゲート502、ORゲート503によって解消される。ORゲート503からの信号はダン係信号または不使用信号も発生し、この信号は割り込み信号のためのハンドシェイクとして使用することができる。

高い優先順位の要求を知らせる信号を発生すべく、ANDゲート504が設けてあり、高い優先順位の要求が処理されつつあるときにORゲート503からの信号を過すようになっている。同様にして、ANDゲート505は、低い優先順位の要求が処理されつつあるときにはORゲート503の出力を通過させて低い優先順位の要求のための肯定応答信号を発生させる。

組合わせロジック497はそこに與えられる出力を有するステート・レジスタ508のための入力決定する。さらに、組合わせロジックは中央ロジック状況メモリ153を読み出し、中央ロジック状況メモリに読み込むことができ、ここには、特に、メッセージ要求を先キュー上に置く動作とメッセージ要求を先キューから取り出す動作も含む。メッセージ要求が許されるかどうかを迅速に決定するために、組合わせロジックは許された経路を決定する特殊なロジック507を包含する。

次に第25図を参照して、ここには要求・優先順位デコード498が概略図で示してある。要求はそれぞれのANDゲート511、512、513、514、515、516によって発生させられる。これらのゲートは、すべて、出力イネーブル・ライ

ン(LE)によってゲート制御される。

サービス・ジャンク・タイムは、ゲート511が2つだけの入力部を有する事実から明らかのように、最高優先権を有し、要求優先デコードへのQ。入力部が他のすべてのANDゲートを抑制する。延ばす(RP)要求およびジャンク解除(DJ)要求はQ。入力によって使用可能とされる事実から明らかのように次に高い優先順位のを有する。このQ。入力はサービス・ジャンク・タイム・要求を発生しているゲート511を除いて他のANDゲートのすべてを使用禁止とする。ルート・メッセージ(RM)要求およびキュー・メッセージ(QM)要求は次に低い優先権を有する。これはサービス・キュー・タイム(SQT)のためのANDゲート515のみを使用禁止にするQ。入力によって使用可能とされるという事実から明らかである。サービス・キュー・タイム要求(SQT)は最も低い優先権を有する。これは、他のリクエストのうちの任意の要求の存在で使用禁止とされるからである。低い優先順位の要求はインバータ517を使用してサービス・キュー・タイム・要求を抑制する。高い優先順位の要求はインバータ518を使用して低い優先順位の要求およびサービス・キュー・タイム・要求を抑制する。サービス・ジャンク・タイム要求はインバータ519を適用してすべての他の要求を抑制する。インバータ520は高優先順位の要求グループの各々において2つの異なる優先権の要求間で選択を行うのに使用される。

次に第26図を参照して、この図は全体的に507で示す許容経路指定用のロジックの概略図である。ORゲート242は、第10、11図に関連して説明したように、特定のソースおよび行先が少なくとも1つの仮想スター・カップラ内に含まれている

かどうかを示す信号を発生する。さらに行き先とソースが同じであるか、あるいは、行き先状況テーブル157で示すように行き先が「ループバック」モードで置かれた場合には経路指定は許可されない。宛先とソースの一致は、一組の専用ORゲート541とNORゲート542によって検出される。ループバックの場合にはインバート543がソースから宛先への経路指定を阻止する。行き先が存在していない場合にも経路指定は禁止される。

許容経路指定用ロジック507は中央スイッチ・ロジックのP0サイクル中に使用可能とされ、ORゲート544で示すようにルート・メッセージ・リクエストおよびキュー・メッセージ・サービス・リクエストの両方について使用可能とされる。NANDゲート545がルート・メッセージ指令あるいはキュー・メッセージ指令の処理を収容させるのに必要な一級状態を解消する。不許可経路指定により処理が停止したときには、メッセージ拒絶フラグがセットされて不許可経路指定を診断プロセッサに知らせる。

次に第27図を参照して、ここには高い優先順位要求のための組合わせロジックが示してある。ANDゲート521によって解消されるような送バス・要求の第1サイクルで、ソースに現在割り当てられているジャンクタがソース・テーブル(第6図の168)から読み出され、ジャンクタ識別番号がジャンクタ・レジスタにストローブされる。ソース・テーブルへのこのエントリがクリアされると、それはソースからのジャンクタの無理な解除を示す。また、ジャンクタ割り当ては行き先テーブル(第6図の169)からもクリアされる。また、ジャンクタ・テーブル(第6図の170)への対応するエントリもクリアされる。さらに、ジャンクタ制御バスへ指令が送られてソース受信機および行き先送信機からジャンクタを解除させる。

173の出力部)がキューのテイルに対するポインタ(第5図のテーブル173の出力部)と比較される。もしヘッドに対するポインタがテイルに対するポインタと等しいならば、そのときには、キューは空でない。この場合、ソース・チャンネル番号のためのキュー・タイマはリセットされてから始動され、フロー・コントロール・オフ指令がキューのヘッドで示されるチャンネル番号の送信機に送られる。

ゲート532によって解決されるように、サービス・ジャンクタ要求またはジャンクタ解除に対する第3処理サイクルで、ソース・チャンネル受信機にならばジャンクタが割り当てられない場合には処理は終了する。さもなければ、ゲート534によって検出されるように、ジャンクタ状況テーブルが割り当てジャンクタについて読み出され、ジャンクタ情報番号がレジスタにストローブされる。

ゲート535によって解決されるようにサービス・ジャンクタ・タイマまたはジャンクタ解除要求の第3処理サイクル中、割り当てられたジャンクタが不活動である場合には処理が終了し、診断サービス・フラグがセットされる。この終了状態はインバート536およびANDゲート537によって解決される。さもなければ、ゲート538によって決定されるように、ジャンクタ割り当てビットがソース受信機状況テーブル、行き先送信機状況テーブルにおいてクリアされ、ジャンクタ活動ビットがジャンクタ状況テーブルからクリアされ、それぞれのジャンクタ・タイマがクリアされる。さらに、ジャンクタ制御バスを通して指令がセットされてソース受信機と行き先送信機からジャンクタの接続を解除させ、処理が終了される。さらに、インバート539およびゲート540によって解決されるように、行き先メッセージ・キュー

送バス・要求のための第2の処理サイクルはANDゲート522によって解決される。ジャンクタ・レジスタに保存されたジャンクタ識別番号はソース・テーブル(第6図の168)に書き込まれる。同様に、このジャンクタ識別番号は行き先テーブル(第6図の169)にも書き込まれる共に、その割り当てられた宛先受信機、ソース送信機と一緒にジャンクタ・テーブル(第6図の170)にも書き込まれる。また、宛先指令がジャンクタ・バスに送られてそのジャンクタを行き先送信機とソース送信機に割り当て、そして、それぞれのジャンクタのための逆ジャンクタ・タイマがオンにされる。さらに、処理終了が達成される。

サービス・ジャンクタ・タイマ・要求の第1サイクルで、満了したジャンクタ・タイマについてのソースおよび行き先はゲート523に回答して得られる。ゲート524、525に回答して、サービス・ジャンクタ・タイマまたはドロップ・ジャンクタ要求の第1処理サイクルで、要求チャンネルのキューに対するキュー・ポインタはキュー・ポインタ・テーブル(第6図の171、172、173)から得られる。この場合、ソース・セレクト信号(SRC)がゲート526によって与えられ、このときに、行き先セレクト信号(DST)はインバート527によって抑止される。ここで、通常は、キュー・ポインタ・メモリが行き先チャンネル番号によってアドレス指定されることに注目されたい。

インバート528およびゲート529は、ジャンクタが割り当てられないことをソース・テーブル(第6図の168)が示したならば処理を終了させる。さもなければ、ゲート530およびインバート531がソース・キューが空でないときに処理を行えるようにする。特に、ソース・キューが空であるかどうかを決定するために、キューのヘッドに対するポインタ(第5図のテーブル

になんらかのリクエストがある場合、その宛先キューに対するキュー・タイマが始動され、キューのヘッドに示されるチャンネル送信機にフロー・コントロール・オフ指令が送られる。

次に第28図を参照して、ここにはメッセージ・キューイング操作のための組合わせロジック(第24図の497)が示してある。メッセージ・キューイング操作はメッセージ・ルート指定要求ならびにメッセージキュー要求の処理中にORゲート531によって示されるように生じることがある。第1サイクルでは、ゲート532によって解決されるように宛先がループバック・モードにある場合に処理が終了する。さもなければ、メッセージルート指定要求を処理するために、行き先受信機はメッセージ拒絶ロジック(第26図で507)によって拒絶されテイル場合を除いてキャリア状況についてポーリングされる。これらの状態はインバート533、534およびゲート535によって解決される。

ルート・メッセージまたはキュー・メッセージ指令の第2処理サイクルでは、ORゲート536がアイドル・ジャンクタがないかどうか、メッセージキュー要求が処理されつつあるかどうか、行き先送信機がジャンクタに割り当てられているかどうか、宛先受信機がキャリアを検出しているかどうかを決定する。もしその通りであり、そして、ソース・チャンネルが行き先キューのヘッドにあるならば、ゲート537が行き先キューのためのキュー・タイマを再始動し、処理は終了する。さもなければ、インバート538およびゲート539によって解決されるように、キュー・エントリ・テーブルがソースが行き先キュー上にあるということを示している場合、フロー・コントロール・オン指令がソース受信機に送られ、処理は終了する。さもなければ、インバート560

によって示されるようにソースが行き先キュー上にまっくはない場合、それ故に、インバート561およびゲート562によって解決されるように、ジャンクタが行き先送信機に割り当てられるかあるいはキューが空でない場合、ゲート563はソース・チャンネル番号を行き先キュー上に置く。さらに、キュー・ポインタが更新され、エントリがキュー・エントリ・テーブルに送られてソース・チャンネル番号が行き先キュー上にあることを示す。また、フロー・コントロール・オン指令がソース・チャンネル受信機に送られ、処理は終了する。

さもなければ、ゲート562およびインバート564がジャンクタが行き先受信機に割り当てられておらず、行き先キューが空であることを示している場合には、ゲート565がソース番号を行き先キュー上に載せる。さらに、キュー・ポインタが更新され、キュー・エントリ・テーブルは行き先キュー上にソース番号を置くのに従ってセットされる。また、行き先キューのためのタイマが始動され、処理は終了する。

次に第29図を参照して、ここにはメッセージの経路指定を行うための中央スイッチ組合わせロジックが示してある。メッセージルート指定要求のための第2処理サイクルでは、行き先受信機がキャリアを示しておらず、行き先の送信がジャンクタに割り当てられておらず、ジャンクタがアイドルである場合に経路指定が行われる。これらの状態はインバート571、572およびゲート573によって解決される。さらに、ゲート574によってさらに解決されるようにもしソース・チャンネルが行き先キュー上にあるならば、キュー・ポインタを更新し、キュー・エントリ・テーブルをクリアすることによってソース番号が宛先キューから取り除かれる。また、行き先に対応するキュー・タイマがクリア

される。

次に第30図を参照して、ここには減じたタイマを有するキューを動作させるための中央スイッチ・ロジック内の組合わせロジックが概略図で示してある。第1サイクルで、ゲート581で解決されるように、満了キュー・タイマの識別番号が保存される。また、満了タイマに相当するキューのヘッドのところでのエントリがキュー・ポインタを更新し、キュー・エントリ・テーブルをクリアすることによって取り除かれる。さらに、キュー・タイマがクリアされる。

サービス・キュー・タイマ・リクエストの処理は、ゲート582によって解決されるように、第2サイクルで終了する。付加的なゲート583がキューが空でないかどうかを決定し、もし空ならば、フロー・コントロール・オフ指令が宛先チャンネル番号を有するチャンネル受信機に送られる。このチャンネル番号は減じたキュー・タイマの番号に相当する行き先キューの新しいヘッドのところに見出される。また、満了キュー・タイマはリセットされてから始動される。これは中央スイッチ・ロジックの記述を終了させる。

以上、チャンネル送信機とチャンネル受信機を複数のジャンクタのうちの最も特定のジャンクタに切り換える改良したコンピュータ相互接続カップラについて説明してきた。多数のジャンクタを利用できるので、カップラの接続性および帯域幅はかなり増大する。メッセージの経路を指定しながらバッファ内にメッセージの初期部分を格納することによって、このカップラと一緒に既存のコンピュータ機器を使用することができる。このコンピュータ相互接続カップラは、そこを通してやや大きくなった送信経路を生じさせることを除いて、そこを通過するメッセージを変更する

とは考えられない。

このコンピュータ相互接続カップラは、たとえ多数のスター・カップラからなる場合でも動作するようにプログラムすることができるし、単に中央ロジック状態メモリを再プログラムするだけで物理的な再配線を行うことなくスター・カップラに接続する装置を定めることができる。また、これらの状態スター・カップラの定義はコンピュータ相互接続カップラ間の状態スター・カップラ定義を交換することによって余剰数のカップラの各々で首尾一貫して行うことができる。

回線優先順位法を使用し、また、バックプレーンからチャンネル・インターフェース・ボードへスロット番号を送ることによって、コンピュータ相互接続カップラは付加的なボードを追加するだけで増分拡張できる。カップラに当初接続したコンピュータ機器に関して等しいアクセス優先を確保するために再プログラミングする必要はない。このような回線優先順位法を装置するためのロジックおよび信号接続は階層配置に従ってロジックを相分訳し、重複させることによってかなり簡略化される。

このコンピュータ相互接続カップラは診断プロセッサによってモニタされ、不良状態を示す種々のタイマ、フラグがあるので、誤りは特定の回路板に正確に示され、診断時のシステムの状況がボード上の不揮発性メモリに記憶され、修理プロセスを加速することもできると共に、ボード上の誤りがボードを再すべ付けする前に修復される確率が高くなる。

このコンピュータ相互接続カップラの低いローディング状態を取り扱う能力はメッセージ・リクエストをキューイングし、フロー・コントロールを用いてメッセージ要求が行き先キューのヘッドに現われるまで再送信を禁止することによって促進される。また、

入力メッセージを休止を置いてフロー・コントロール・キャリアに挿入し、通常のメッセージ肯定応答プロトコルを使用して挿入メッセージを知らせることによってフロー・コントロールはより効率的に行われる。挿入メッセージの交換およびその肯定応答の後、フロー・コントロールは最初のメッセージ要求の再送信を必要とすることなく継続できる。このようなメッセージ要求のキューイング・サービシングは、データ処理装置がフロー・コントロールがオフになった後に正常な期間内でこれらのメッセージを再送信しない場合に予約したチャンネルを解放する一組のキュー・タイマを使用して非常に信頼性をもってなされる。メッセージ経路指定、キューイングおよびフロー・コントロールの全体的なスキームは或る種のリクエストが同じ優先レベルでまとめられている多レベル優先手法に従ってサービス要求を実行する中央ロジックを設けることによって一層効率の良いものとなる。

付 録
チャンネル選択ロジック用論理式

(2:2 in FIG. 2)

(For $N=7$ in select one of eight channels)

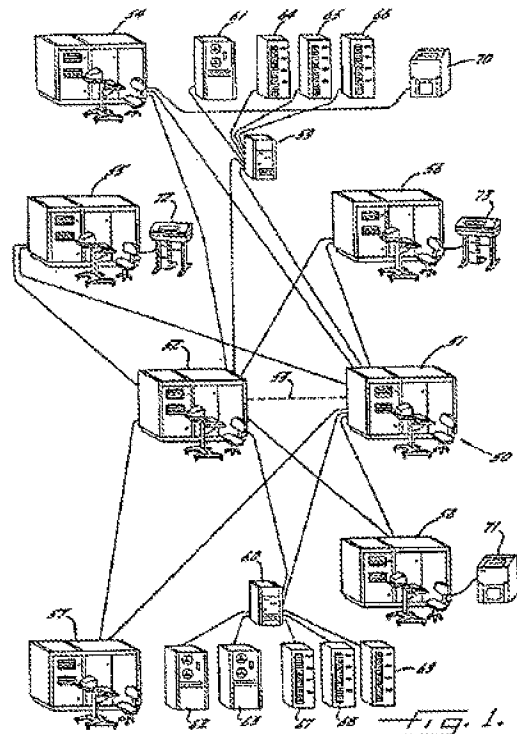
CH0: $OUTPUT = CH0_RQ \cdot EN7 +$

$$\begin{aligned} & (CH0_RQ \cdot CH1_RQ \cdot CH2_RQ \cdot CH3_RQ \cdot CH4_RQ \cdot CH5_RQ \cdot CH6_RQ \cdot CH7_RQ \cdot EN0) + \\ & (CH0_RQ \cdot CH2_RQ \cdot CH3_RQ \cdot CH4_RQ \cdot CH5_RQ \cdot CH6_RQ \cdot CH7_RQ \cdot EN1) + \\ & (CH0_RQ \cdot CH3_RQ \cdot CH4_RQ \cdot CH5_RQ \cdot CH6_RQ \cdot CH7_RQ \cdot EN2) + \\ & (CH0_RQ \cdot CH4_RQ \cdot CH5_RQ \cdot CH6_RQ \cdot CH7_RQ \cdot EN3) + \\ & (CH0_RQ \cdot CH5_RQ \cdot CH6_RQ \cdot CH7_RQ \cdot EN4) + \\ & (CH0_RQ \cdot CH6_RQ \cdot CH7_RQ \cdot EN5) + \\ & (CH0_RQ \cdot CH7_RQ \cdot EN6) \end{aligned}$$

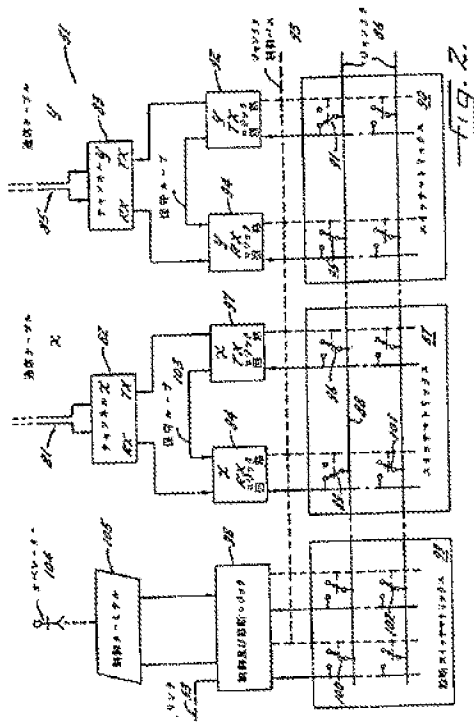
CH1: $OUTPUT =$ [add 1, which modulo-8 arithmetic, to each number in the above equation]

CH7: $OUTPUT = CH7_RQ \cdot EN5 +$

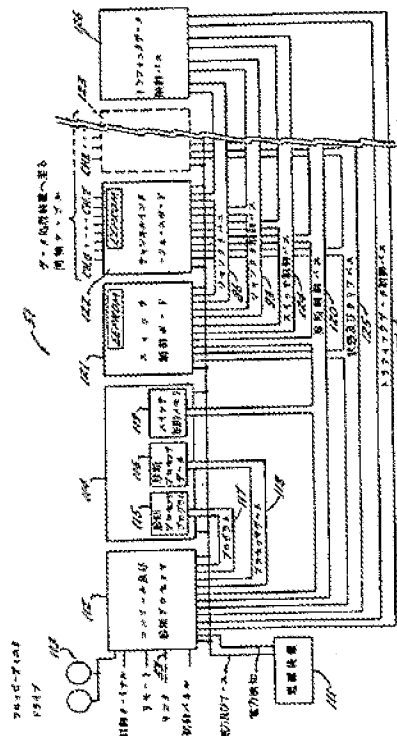
$$\begin{aligned} & (CH7_RQ \cdot CH0_RQ \cdot CH1_RQ \cdot CH2_RQ \cdot CH3_RQ \cdot CH4_RQ \cdot CH5_RQ \cdot CH6_RQ \cdot EN7) + \\ & (CH7_RQ \cdot CH1_RQ \cdot CH2_RQ \cdot CH3_RQ \cdot CH4_RQ \cdot CH5_RQ \cdot CH6_RQ \cdot EN0) + \\ & (CH7_RQ \cdot CH2_RQ \cdot CH3_RQ \cdot CH4_RQ \cdot CH5_RQ \cdot CH6_RQ \cdot EN1) + \\ & (CH7_RQ \cdot CH3_RQ \cdot CH4_RQ \cdot CH5_RQ \cdot CH6_RQ \cdot EN2) + \\ & (CH7_RQ \cdot CH4_RQ \cdot CH5_RQ \cdot CH6_RQ \cdot EN3) + \\ & (CH7_RQ \cdot CH5_RQ \cdot CH6_RQ \cdot EN4) + \\ & (CH7_RQ \cdot CH6_RQ \cdot EN5) \end{aligned}$$



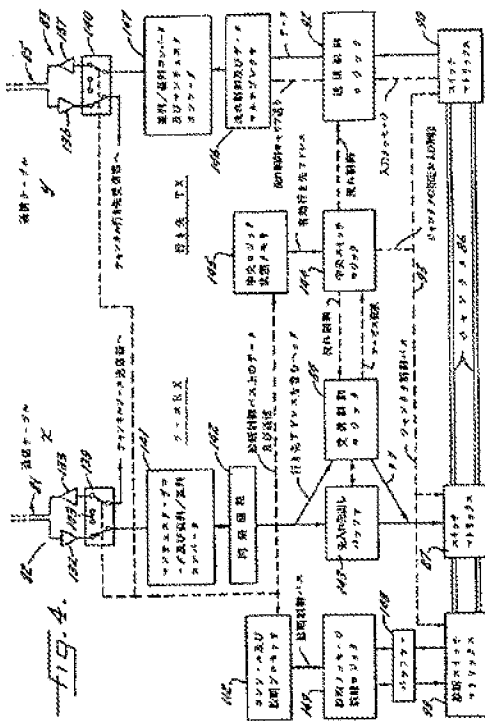
内容に変更なし



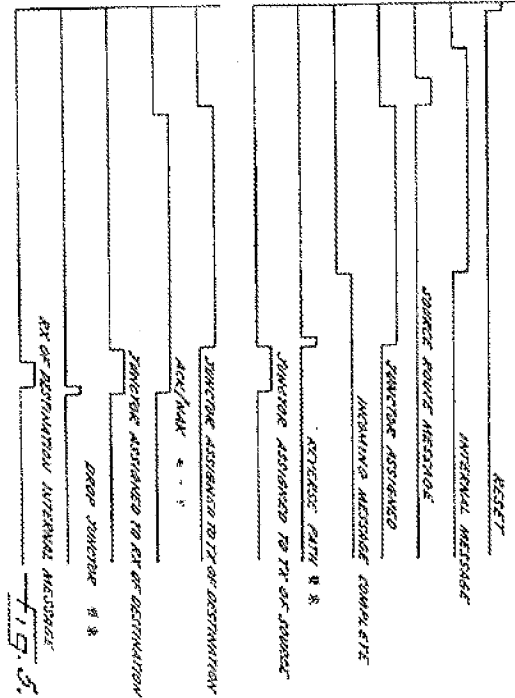
内容に変更なし



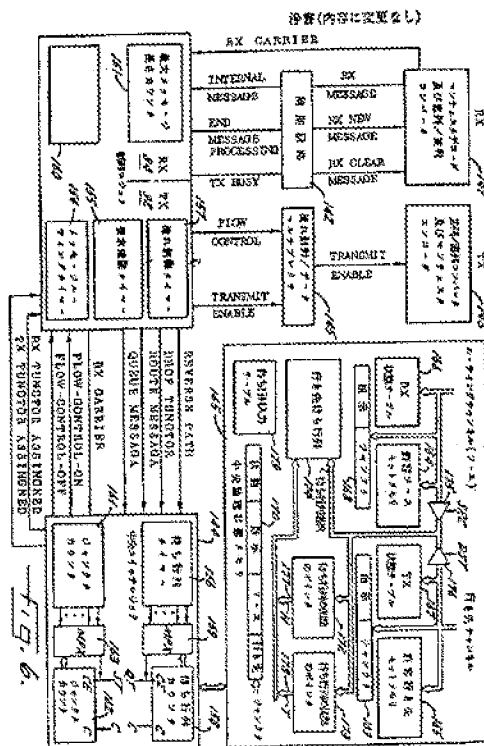
・添削(内容に変更なし)



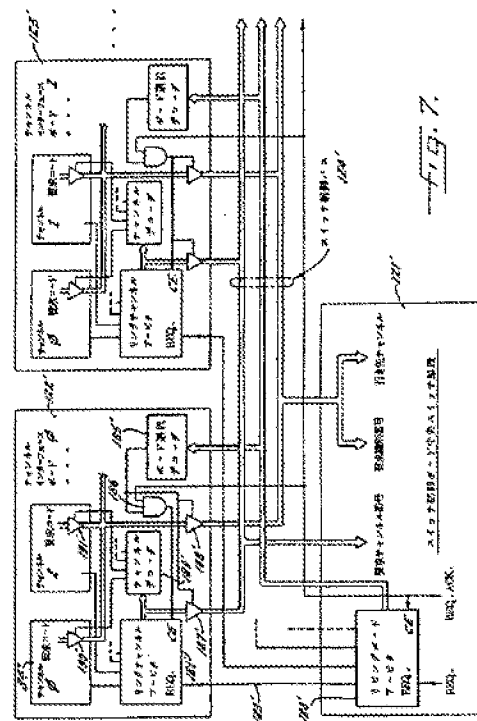
行き既デーションキルミの論理信考



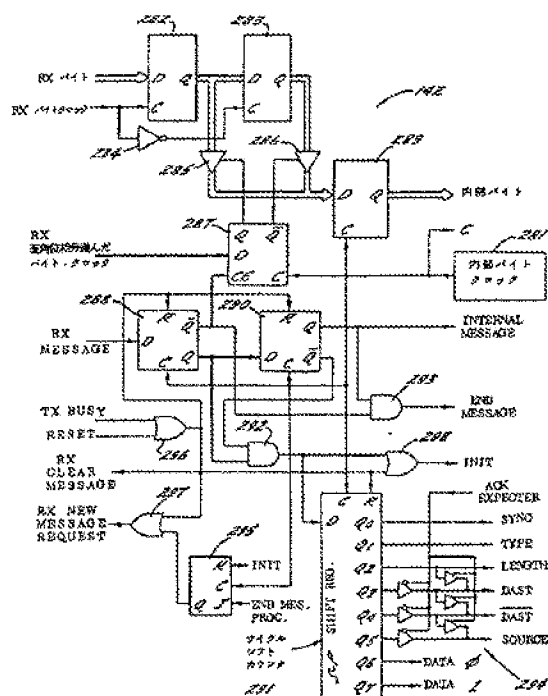
浄替(内容に変更なし)



淨書(内容に変更なし)



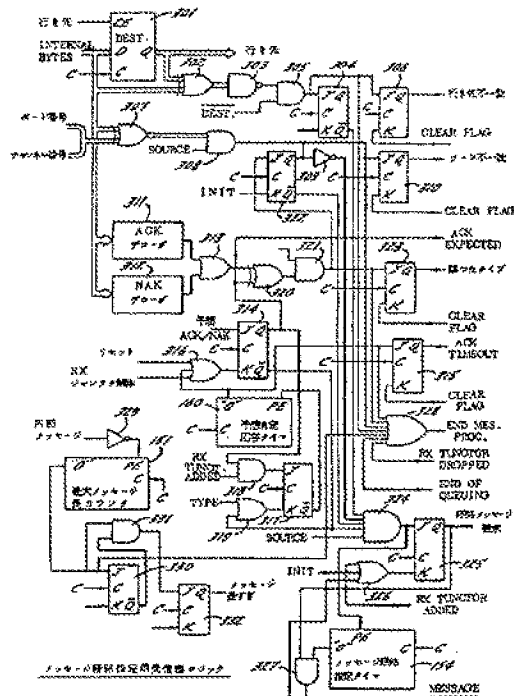
修習(内班に必要なし)



受信器のシフトレジスタ回路及びカウンタ

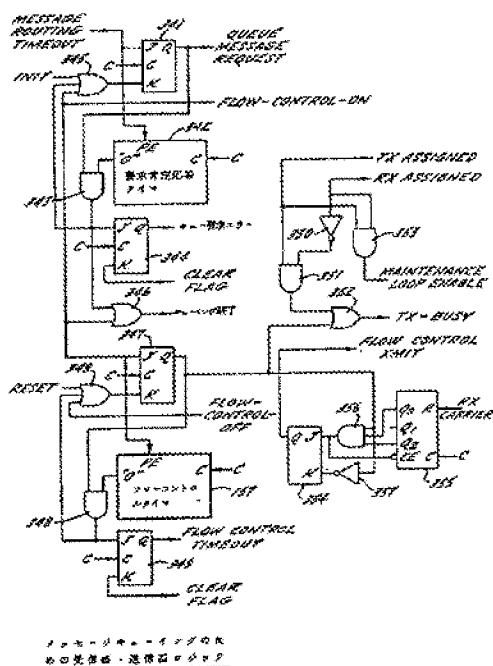
Fig. 14.

修訂(内容に変更なし)



~~Fig. 15.~~

終符(内容に変更なし)



—Fr. 16.

メロセニシロキハチの成虫の雌雄、雄の頭部

浄書(内容に変更なし)

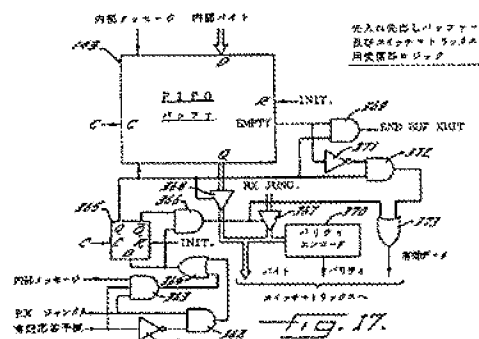
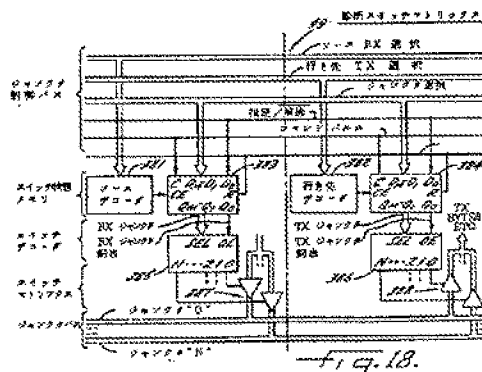
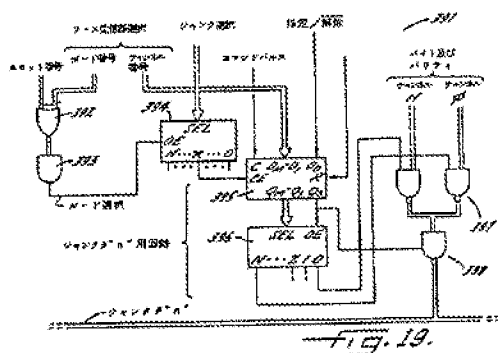


Fig. 17.



—f, c. 18.

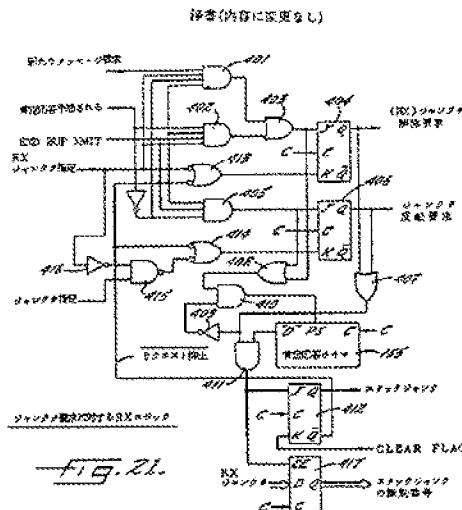
停務(内容に変更なし)



71 sq. 19.

For July 20

評書(内容に変更なし)



10.21

RX チャンネル指定

421

422

423

RX チャンネル指定

RX チャンネル指定

424

シフトレジスタの出力は、このようにして、

Fig. 22

157-22

評書(内容に変更なし)

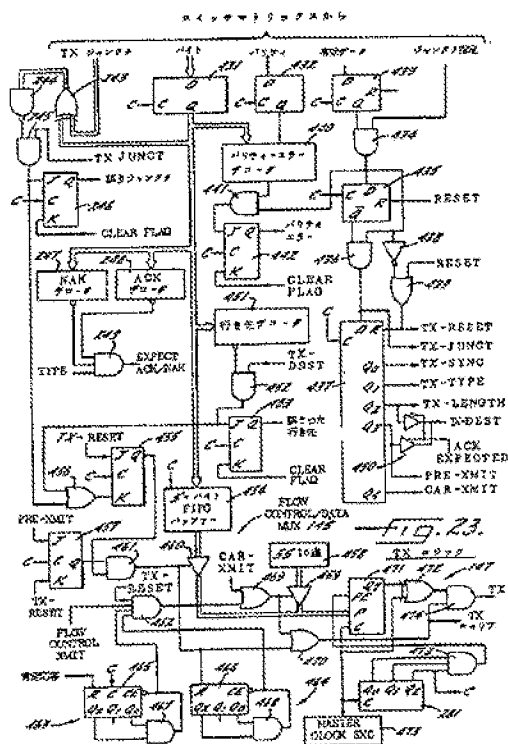
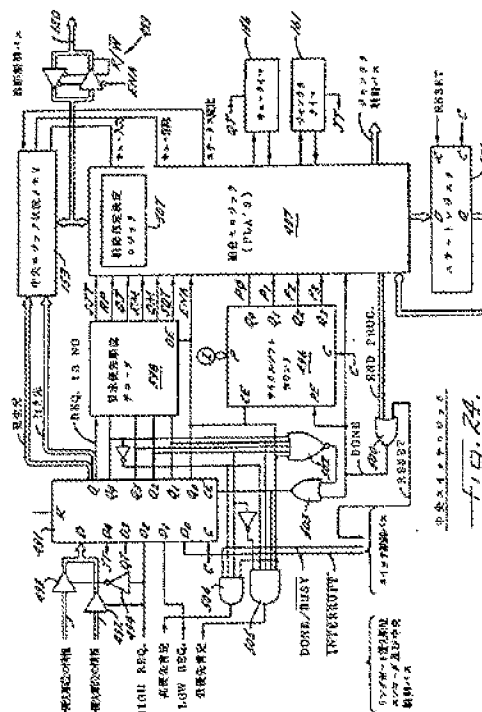


Fig. 23.

序書(内容に変更なし)



Feb. 24.

手続補正書(方式)

平成 年 月 日 2.3.22

特許庁長官 吉田文毅 殿

1. 事件の表示 PCT/US88/03370

2. 発明の名称 データ処理装置クラスターに使用する
コンピュータ相互結合カプラ3. 補正をする者
事件との関係 出願人名称 デジタル イキイブメント
コーポレーション

4. 代理人

住所 東京都千代田区丸の内3丁目3番1号
電話(代) 211-8741

氏名 (3993) 井理士 中 村

5. 補正命令の日付 平成2年2月27日

6. 補正の対象 明細書、請求の範囲および特許
図面(Fig. 2-30)の翻訳文7. 補正の内容 別紙のとおり
明細書、請求の範囲および特許
図面(内容に変更なし)

国際調査報告

INTERNATIONAL PATENT NO. PCT/US 88/03370

CLASSIFICATION OF SUBJECT MATTER In view of the classification of the prior art, the subject matter of the present invention is classified as follows: IPC⁴: G 06 F 13/40; G 06 F 15/16; G 06 F 15/16; G 06 F 11/22

N. ABSTRACT

IPC⁴: G 06 F

DOCUMENTS CONSIDERED TO BE RELEVANT

Category	Document	Relevance
A	The Fourteenth International Conference on Fault Tolerant Computing, FTCS 14, 21-22 June 1984, Mississippi, Florida, 1222, (US), S. Chilton et al.: "Mouset - a high performance, high availability packet switch", pages 164-169	1-43
A	EP, A, 0059218 (IBM) 15 September 1982	1-43

14th February 1989

8 MAR 1989

KURUPPAN PATENT OFFICE

国際調査報告

US 8803570
5A 25323

The present report contains the results of the international search conducted by the International Searching Authority in accordance with Article 17 of the Patent Cooperation Treaty (PCT) and Article 13 of the European Patent Convention (EPC) as amended by the 1978 Act.

Patent document cited in search report	Publication date	Patent family number(s)	Publication date
EP-A- 0089936	15-09-82	JP-A- 57157328	28-09-82
		AD-A- 7356782	09-09-82
		US-A- 4396994	02-08-83
		CA-A- 1173545	24-07-84
		AU-B- 544728	12-06-85
		DE-A- 3278588	07-07-88
EP-A- 0110509	13-06-84	AD-A- 2066381	03-05-84
		JP-A- 59132263	30-07-86
		GB-A, B 2131188	18-07-84
		CA-A- 1210872	02-08-86
		AU-B- 560977	30-04-87
		US-A- 4683726	05-05-87
		US-A- 4667287	19-05-87
EP-A- 0125773	21-11-84	JP-A- 60216154	05-12-84
		US-A- 4547880	15-10-85
		CA-A- 1212742	14-10-86

第1頁の続き

⑥Int.Cl.¹

G 06 F 15/16

識別記号

4 0 0 K

序内整理番号

6745-5B

⑥発明者	ヘンリー バリー エイ	アメリカ合衆国 ニューハンプシャー州 03303	ペナクック ウ シントン ストリート 84
⑥発明者	カクゾー チャールズ イー	アメリカ合衆国 マサチューセッツ州 01570	グッドリー ショ ーフィールド アベニュー 78
⑥発明者	ミルズ ミルトン ヴイー	アメリカ合衆国 マサチューセッツ州 02121-1410	ボストン アボッツフォード ストリート 22
⑥発明者	カーン ロナルド シー	アメリカ合衆国 マサチューセッツ州 02054	ミルズ リッジ ストリート 53
⑥発明者	メッツ ドナルド アール	アメリカ合衆国 マサチューセッツ州 01430	アッシュバーナム コリー ヒル ロード 48
⑥発明者	ザゲイム ステイヴン ビー	アメリカ合衆国 マサチューセッツ州 01505	ボイルストン ク ロス ストリート 100
⑥発明者	カーク ロバート シー	アメリカ合衆国 マサチューセッツ州 01505	ボイルストン マ イル ヒル ロード 342